

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 1 月 11 日 (11.01.2001)

PCT

(10) 国際公開番号  
WO 01/03202 A1

- (51) 国際特許分類: H01L 29/78, 21/336 (74) 代理人: 布施行夫, 外(FUSE, Yukio et al.); 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/04224
- (22) 国際出願日: 2000 年 6 月 28 日 (28.06.2000) (81) 指定国 (国内): JP, US.
- (25) 国際出願の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平11/189142 1999 年 7 月 2 日 (02.07.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 豊田中央研究所 (KABUSHIKI KAISHA TOYOTA CHUO KENKYUSHO) [JP/JP]; 〒480-1192 愛知県愛知郡長久手町大字長秋字横道 41 番地の 1 Aichi (JP).

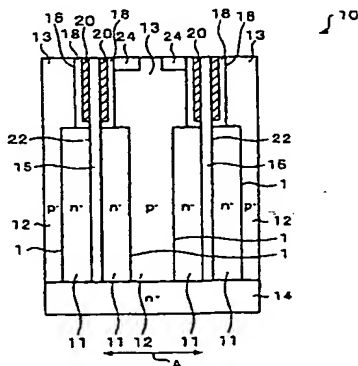
添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

- (71) 出願人 および  
(72) 発明者: 樹神雅人 (KODAMA, Masahito) [JP/JP]. 上杉 勉 (UESUGI, Tsutomu) [JP/JP]; 〒480-1192 愛知県愛知郡長久手町大字長秋字横道 41 番地の 1 株式会社 豊田中央研究所内 Aichi (JP).

(54) Title: VERTICAL SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING THE SAME

(54) 発明の名称: 縦型半導体装置及びその製造方法



(57) Abstract: A method for producing a vertical semiconductor device having a structural part where n - semiconductor regions and p - semiconductor regions are alternated without burying in a trench by epitaxial growth. A p - silicon layer (13) to serve as a p - semiconductor regions (12) is formed. From the side wall of a first trench (22) formed in the p - silicon layer (13), n - type impurities are diffused into the p - silicon layer (13) to form a n - semiconductor region (11).

WO 01/03202 A1

[続葉有]



---

(57) 要約:

トレンチにエピタキシャル成長により埋め込みをすることなく、 $n^-$ 型半導体領域と $p^-$ 型半導体領域とが交互に並んだ構造部を備える縦型半導体装置の製造方法を提供すること。 $p^-$ 型半導体領域(12)となる $p^-$ 型シリコン層(13)を形成し、 $p^-$ 型シリコン層(13)に形成された第1トレンチ(22)の側壁から $p^-$ 型シリコン層(13)に $n$ 型の不純物を拡散することにより、 $n^-$ 型半導体領域(11)を形成している。

## 明 細 書

## 縦型半導体装置及びその製造方法

## [技術分野]

5 本発明は、高耐圧半導体装置に関し、特に縦型半導体装置及びその製造方法に関するものである。

## [背景技術]

図34は、米国特許公報5,216,275に開示された高耐圧MOSFETの断面図である。まず、この高耐圧MOSFET300の構造から説明する。高耐圧MOSFET300は、縦型である。高耐圧MOSFET300は、半導体基板に形成されている。この半導体基板は、 $n^+$ 型のドレイン領域304を含む。ドレイン領域304上には、 $p$ 型半導体領域302と $n$ 型半導体領域301とが交互に並ぶように形成されている。 $p$ 型半導体領域302上には、 $p^+$ 型半導体領域303が形成されている。 $p^+$ 型半導体領域303の端部は、 $n$ 型半導体領域301上に位置している。 $n$ 型半導体領域301上及び $p^+$ 型半導体領域303の側壁には、ゲート絶縁膜308を介してゲート電極309が形成されている。 $p^+$ 型半導体領域303の表面部には一対の $n^+$ 型のソース領域305が間を隔てて形成されている。 $p^+$ 型半導体領域303のうちソース領域305で挟まれた領域上にはソース電極310が形成されている。

20 次に、この高耐圧MOSFET300の動作を説明する。高耐圧MOSFET300がON状態の場合から説明する。ゲート電極309に正電圧が印加されると、 $p^+$ 型半導体領域303のうちゲート絶縁膜308と面する領域には、チャネル領域が形成される。電子はソース領域305から供給され、チャネル領域から $n$ 型半導体領域301を通り、ドレイン領域304に到達する。この場合、高耐圧MOSFET300のON電圧は、主に、 $n$ 型半導体領域301の抵抗による電圧降下で決定される。

25 次に、高耐圧MOSFET300がOFF状態の場合について説明する。ゲート電極309には0V又は負電圧が印加される。これにより、チャネル領域

がなくなる。ドレイン電圧が、例えば、10V程度だとすると、n型半導体領域部（n型半導体領域部はドレイン領域304とn型半導体領域301とで構成される）とp型半導体領域部（p型半導体領域部はp型半導体領域302とp<sup>+</sup>型半導体領域303とで構成される）とで構成される接合部に沿って空乏層が形成され、かつ広まっていく。n型半導体領域301及びp型半導体領域302は横方向の長さが小さい。このため、ドレイン電圧が上昇していくと、n型半導体領域301及びp型半導体領域302はすべて空乏化する。つまり、n型半導体領域301とp型半導体領域302とが交互に並んだ構造部により耐圧を保持するのである。

上記公報によれば、p型半導体領域302とn型半導体領域301とが交互に並ぶように形成された構造部の高耐圧MOSFETは、高耐圧で、かつ低ON電圧の素子となることが説明されている。

次に、図34に示す高耐圧MOSFET300のp型半導体領域302及びn型半導体領域301の形成方法について説明する。上記公報によれば、まず、ドレイン領域304となる半導体基板上にエピタキシャル成長によりn型（又はp型）のエピタキシャル層を形成する。n型（又はp型）のエピタキシャル層を選択的に除去し、ドレイン領域304に到達するトレンチを形成する。残っているn型（又はp型）のエピタキシャル層がn型半導体領域301（又はp型半導体領域302）となる。トレンチにエピタキシャル成長によりp型半導体領域302（又はn型半導体領域301）を埋め込む。

上述したように、図34に示すp型半導体領域302とn型半導体領域301とが交互に並ぶような構造部は、第1導電型の半導体層が選択的に除去されることによりトレンチが形成され、かつエピタキシャル成長によりトレンチに第2導電型の半導体層を埋め込むことにより作製される。一般にエピタキシャル成長工程は高温プロセスなので、上記方法により、p型半導体領域とn型半導体領域とが交互に並ぶように形成された構造部を作製すると、第2導電型の半導体層形成中、第2導電型の半導体層の不純物が第1導電型の半導体層に拡散し、かつ第1導電型の半導体層の不純物が第2導電型の半導体層に拡散する

という現象が生じる。よって、p型半導体領域とn型半導体領域とが交互に並ぶように形成された構造部を微細にするのは困難である。

[発明の開示]

本発明は、かかる課題を解決するためになされたものであり、その目的はトレンチにエピタキシャル成長により埋め込みをすることなく、第1導電型の第1半導体領域と第2導電型の第2半導体領域とが交互に並んだ構造部を備える縦型半導体装置及びその製造方法を提供することである。

本発明は、

第1導電型の第1半導体領域と第2導電型の第2半導体領域とが交互に並んだ構造部を有し、

前記構造部により耐圧を保持する縦型半導体装置であって、

前記第1半導体領域と前記第2半導体領域とは、傾斜接合し、

前記傾斜接合は、前記交互に並ぶ方向に沿って、第1導電型の不純物分布が傾斜している、ことを特徴とする。

本発明に係る縦型半導体装置によれば、第1半導体領域において、第1導電型の不純物分布が傾斜しているので、第1導電型の不純物濃度が低い所では、空乏層を広く延ばすことができる。このため、第1半導体領域および第2半導体領域が比較的幅が広くても、これらの領域を容易に空乏化できるので、高耐圧化を実現できる。

なお、前記構造部によれば、高耐圧で、かつ低ON電圧の縦型半導体装置となる。この理由について、縦型の高耐圧MOS電界効果トランジスタを例として説明する。耐圧は、トランジスタの性能を決定する上での重要なパラメータである。前記構造部に相当する部分が、第1導電型の第1半導体領域のみの場合、耐圧は第1半導体領域と第2導電型のボディ領域（ボディ領域にはチャネルが形成される。）との接合耐圧で決定される。接合耐圧は、第1半導体領域の不純物濃度が低くなると大きくなる。これは不純物濃度が低くなると空乏層の長さが大きくなるからである。空乏層の長さとは、空乏層のソースドレイン方向における長さのことである。しかし、不純物濃度が低くなるにつれて、

第1半導体領域の抵抗値は増大し、これがトランジスタのON電圧を上げる原因となる。このような構造のトランジスタでは、耐圧によって第1半導体領域の不純物濃度が決まるので、高耐圧の場合、ON電圧を下げるのが困難である。

これに対して、前記構造部を有するトランジスタの場合、空乏層は、第1半導体領域と第2半導体領域との接合部から、第1半導体領域および第2半導体領域に広まる。このため、第1半導体領域の不純物濃度を高くしても、前記構造部の完全空乏化が可能となる。つまり、ON電圧を下げつつ、高耐圧にできるのである。

なお、本発明に係る縦型半導体装置として、例えば、MOS電界効果トランジスタがある。このMOS電界効果トランジスタとしては、UMOSやVMO Sがある。

本発明に係る縦型半導体装置には、次の態様がある。

前記傾斜接合は、前記第1半導体領域と前記第2半導体領域との接合部に向かうに従い、第1導電型の不純物分布が減少する。

接合部（例えば、pn接合部）に電圧が印加されている時、電界強度が最大の所は、一般に、接合部である。そして、同じ印加電圧ならば、不純物濃度が低いほど電界強度は低くなるので、接合破壊電圧は高くなる。この態様によれば、接合部における接合破壊電圧を高くすることができる。

本発明に係る縦型半導体装置には、次の態様がある。

トレンチが前記第1半導体領域中に形成され、  
前記接合部から前記トレンチに向かうに従い、第1導電型の不純物分布が増加する。

この態様によれば、トレンチ近傍の第1半導体領域の抵抗が小さくなる。このため、トレンチ近傍の第1半導体領域に電流を流す場合、大電流を流すことが可能となる。また、トレンチに埋め込み電極を形成した場合、電流を素速くOFFにできる。

本発明に係る縦型半導体装置には、次の態様がある。

第2導電型の半導体層、他のトレンチおよび埋め込みゲート電極を備え、

前記他のトレンチは、前記半導体層中に位置し、  
前記他のトレンチは、前記トレンチ上に位置し、  
前記埋め込みゲート電極は、前記他のトレンチ内に位置している。  
本発明に係る縦型半導体装置には、次の態様がある。

5 前記埋め込みゲート電極は、前記トレンチまで延びている。

この態様によれば、トレンチ近傍の第1半導体領域に蓄積層を形成することができるので、ON電圧をさらに下げることができる。蓄積層とは、MIS構造のゲート作用により、第1導電型半導体領域に形成された、多数の第1導電型キャリアからなる層のことである。蓄積層は、第1半導体領域よりも抵抗が小さいので、ON電圧を下げることができるのである。

10

本発明に係る縦型半導体装置には、次の態様がある。  
前記縦型半導体装置は、プレーナ型ゲート電極を含む。  
本発明に係る縦型半導体装置には、次の態様がある。  
前記傾斜接合は、片側階段接合を含む。

15

本発明に係る縦型半導体装置には、次の態様がある。  
前記他のトレンチは、その幅がほぼ一定の形状をしている。  
本発明に係る縦型半導体装置には、次の態様がある。

前記他のトレンチは、その底部に向かうに従い、その幅が小さくなる形状をしている。

20

本発明に係る縦型半導体装置には、次の態様がある。

ドレインとなる第1導電型の第3半導体領域およびソースとなる第1導電型の第4半導体領域を備え、

前記第3半導体領域と前記第4半導体領域との間に、前記構造部が位置する。

本発明に係る縦型半導体装置には、次の態様がある。

25

ドレインとなる第1導電型の第3半導体領域を備え、

前記構造部は、前記第3半導体領域上に位置し、

前記トレンチは、前記第1半導体領域を貫通し、前記第3半導体領域の表面の一部を削るように前記第3半導体領域まで到達している。

この態様によれば、縦型半導体装置の動作の確実性を高めることができる。

本発明は、

第1導電型の第1半導体領域と第2導電型の第2半導体領域とが交互に並んだ構造部を有し、

5 前記構造部により耐圧を保持する縦型半導体装置の製造方法であって、

(a) 第2導電型の半導体層に、トレンチを形成する工程と、

(b) 第1導電型の不純物を、前記トレンチの側壁を通して前記半導体層に拡散させ、

10 前記半導体層の一部に前記第1半導体領域を形成し、かつ前記半導体層の残りの部分を前記第2半導体領域にする工程と、

を備える、ことを特徴とする。

本発明に係る縦型半導体装置の製造方法によれば、第1半導体領域を拡散により形成している。このため、第1半導体領域と第2半導体領域とは、傾斜接合した構造となる。この傾斜接合は、前記交互に並ぶ方向に沿って、第1導電型の不純物分布が傾斜している。

また、本発明によれば、第1半導体領域を拡散により形成している。このため、エピタキシャル成長により、トレンチに第1半導体領域を埋め込む方法に比べて、前記構造部を微細にすることができる。この結果、縦型半導体装置の集積度を向上させることができる。

20 前記拡散は、例えば、気相拡散および固相拡散の少なくともいずれかである。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程(a)前に、

ドレインとなる第1導電型の第3半導体領域上に、前記半導体層を形成する工程を備え、

25 前記工程(a)において、

前記トレンチは、前記半導体層を貫通し、前記第3半導体領域の表面の一部を削り、前記第3半導体領域まで到達するように形成する、ことを特徴とする。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。



前記工程（b）において、前記拡散は、気相拡散を含む。

この態様によれば、幅が $0.5\mu\text{m}$ 以下の小さいトレンチへの拡散が可能である。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

- 5 前記工程（a）と前記工程（b）との間に、  
前記トレンチに、前記不純物の含有膜を形成する工程を備え、  
前記工程（b）において、前記含有膜から前記不純物が固相拡散する。

拡散源となる前記含有膜の不純物濃度をコントロールすることは容易であるため、この態様によれば、第1半導体領域の不純物分布をコントロールすることが容易となる。

- 10 なお、前記含有膜としては、例えば、第1導電型の不純物がn型の場合、P S G（Phosphorous Silicate Glass）膜、リンドーブポリシリコン（例えば、 $\text{PH}_3 + \text{SiH}_4$ ガスや $\text{PH}_3 + \text{Si}_2\text{H}_6$ ガスで成膜される）があり、第1導電型の不純物がp型の場合、B S G（Boron Silicate Glass）、ボロンドープポリシリコン（例えば、 $\text{B}_2\text{H}_6 + \text{SiH}_4$ ガスや $\text{B}_2\text{H}_6 + \text{Si}_2\text{H}_6$ ガスで成膜される）がある。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程（a）と前記工程（b）との間に、  
前記トレンチの前記側壁上に、薄膜を形成する工程を備え、

- 20 前記工程（b）において、前記不純物の前記半導体層への拡散は、前記薄膜を介してなされる。

- この態様によれば、拡散の制御を向上させることができる。この理由を説明する。トレンチの側壁上に何も無い状態で拡散すると、第1半導体領域において、トレンチの上部付近のほうが、トレンチの下部付近よりも、不純物濃度が高くなる。これは、トレンチの上部のほうが、トレンチの下部よりも不純物の供給量が多いからである（供給律則）。

トレンチの側壁上に形成された薄膜を介して拡散すると、拡散は、供給律則よりも、薄膜中を拡散する不純物の律則である拡散律則に従う。よって、この

態様によれば、トレンチの側壁に沿って、不純物濃度を均一にすることが可能となる。

5      なお、前記薄膜の膜厚は、例えば、5 nm～50 nmである。前記薄膜の膜厚が、5 nm以上だと、拡散の制御性が悪くなる位の低温（例えば、800℃以下）で拡散する必要はなく、また、50 nm以下だと、高温（例えば、1000℃以上）でなくとも拡散が可能である。前記薄膜としては、例えば、シリコン酸化膜がある。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程（b）後に、

10      前記半導体層の上面にプレーナゲート電極を形成する工程を備える。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程（b）後に、

前記半導体層に、他のトレンチを形成する工程と、

前記他のトレンチに、埋め込みゲート電極を形成する工程と、

15      を備える。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程（a）前に、

前記半導体層に、他のトレンチを形成する工程と、

前記他のトレンチに、埋め込みゲート電極を形成する工程と、

20      を備え、

前記工程（a）において、前記埋め込みゲート電極を貫通するように、前記トレンチを形成する。

この態様によれば、他のトレンチ直下にトレンチを形成することができる。このため、トレンチを他のトレンチと平面的に重ならない位置に形成する場合  
25      に比べて、縦型半導体装置の集積度を向上させることができる。なお、この態様によれば、トレンチは、他のトレンチより幅が小さくなる。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程（a）前に、

前記半導体層に、他のトレンチを形成する工程を備え、

前記他のトレンチは、その底部に向かうに従い、その幅が小さくなる形状をし、

前記工程 (a) において、前記トレンチの形成は、前記他のトレンチの前記  
5 底部から始まる。

この態様によれば、他のトレンチ直下にトレンチを形成することができる。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程 (a) 前に、

前記半導体層上に、第2導電型の他の半導体層を形成する工程と、

10 前記他の半導体層に、他のトレンチを形成する工程と、  
を備え、

前記工程 (a) において、前記トレンチを前記他のトレンチと連続するように形成する。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

15 前記工程 (a) と前記工程 (b) との間に、

前記トレンチの前記側壁上に、薄膜を形成する工程を備え、

前記工程 (b) において、前記不純物の前記半導体層への拡散は、前記薄膜を介してなされる。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

20 前記薄膜形成工程後に、

前記トレンチおよび前記他のトレンチに、前記不純物の含有膜を形成する工程を備え、

前記工程 (b) において、前記含有膜から前記不純物が固相拡散する、。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

25 前記工程 (b) 後に、

前記薄膜を除去する工程と、

前記トレンチの前記側壁上および前記他のトレンチの側壁上に、ゲート絶縁膜を含む他の薄膜を形成する工程と、

前記トレンチ内および前記他のトレンチ内に、ゲート電極を含む埋め込み電極層を形成する工程と、

を備える。

この方法で作製された縦型半導体装置において、埋め込み電極層により、第

5 1 半導体領域に蓄積層を形成することが可能となる。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

前記工程（b）後に、

前記含有膜および前記薄膜を除去する工程と、

10 前記トレンチの前記側壁上および前記他のトレンチの側壁上に、ゲート絶縁膜を含む他の薄膜を形成する工程と、

前記トレンチ内および前記他のトレンチ内に、ゲート電極を含む埋め込み電極層を形成する工程と、

を備える。

本発明に係る縦型半導体装置の製造方法には、次の態様がある。

15 前記工程（a）前に、

ドレインとなる第1導電型の第3半導体領域上に、前記半導体層を形成する工程を備え、

前記工程（b）後に、

20 前記半導体層に、ソースとなる第1導電型の第4半導体領域を形成する工程を備える。

[図面の簡単な説明]

図1は、第1実施形態にかかる縦型半導体装置の製造方法により製造された縦型半導体装置の断面図である。

25 図2は、第1実施形態にかかる縦型半導体装置の製造方法の第1工程を示すシリコン基板の断面図である。

図3は、第1実施形態にかかる縦型半導体装置の製造方法の第2工程を示すシリコン基板の断面図である。

図4は、第1実施形態にかかる縦型半導体装置の製造方法の第3工程を示す

シリコン基板の断面図である。

図 5 は、第 1 実施形態にかかる縦型半導体装置の製造方法の第 4 工程を示すシリコン基板の断面図である。

5 図 6 は、第 2 実施形態にかかる縦型半導体装置の製造方法の第 1 工程を示すシリコン基板の断面図である。

図 7 は、第 2 実施形態にかかる縦型半導体装置の製造方法の第 2 工程を示すシリコン基板の断面図である。

図 8 は、第 2 実施形態にかかる縦型半導体装置の製造方法の第 3 工程を示すシリコン基板の断面図である。

10 図 9 は、第 3 実施形態にかかる縦型半導体装置の製造方法により製造された縦型半導体装置の断面図である。

図 10 は、第 3 実施形態にかかる縦型半導体装置の製造方法の第 1 工程を示すシリコン基板の断面図である。

15 図 11 は、第 3 実施形態にかかる縦型半導体装置の製造方法の第 2 工程を示すシリコン基板の断面図である。

図 12 は、第 3 実施形態にかかる縦型半導体装置の製造方法の第 3 工程を示すシリコン基板の断面図である。

図 13 は、第 3 実施形態にかかる縦型半導体装置の製造方法の第 4 工程を示すシリコン基板の断面図である。

20 図 14 は、第 3 実施形態にかかる縦型半導体装置の製造方法の第 5 工程を示すシリコン基板の断面図である。

図 15 は、第 4 実施形態にかかる縦型半導体装置の製造方法により製造された縦型半導体装置の断面図である。

25 図 16 は、第 4 実施形態にかかる縦型半導体装置の製造方法の第 1 工程を示すシリコン基板の断面図である。

図 17 は、第 4 実施形態にかかる縦型半導体装置の製造方法の第 2 工程を示すシリコン基板の断面図である。

図 18 は、第 4 実施形態にかかる縦型半導体装置の製造方法の第 3 工程を示

すシリコン基板の断面図である。

図 19 は、第 5 実施形態にかかる縦型半導体装置の製造方法により製造された縦型半導体装置の断面図である。

5 図 20 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 1 工程を示すシリコン基板の断面図である。

図 21 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 2 工程を示すシリコン基板の断面図である。

図 22 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 3 工程を示すシリコン基板の断面図である。

10 図 23 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 4 工程を示すシリコン基板の断面図である。

図 24 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 5 工程を示すシリコン基板の断面図である。

15 図 25 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 6 工程を示すシリコン基板の断面図である。

図 26 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 7 工程を示すシリコン基板の断面図である。

図 27 は、第 5 実施形態にかかる縦型半導体装置の製造方法の第 8 工程を示すシリコン基板の断面図である。

20 図 28 は、第 5 実施形態の変形例の第 1 工程を示すシリコン基板の断面図である。

図 29 は、第 5 実施形態の変形例の第 2 工程を示すシリコン基板の断面図である。

25 図 30 は、第 5 実施形態の他の変形例の第 1 工程を示すシリコン基板の断面図である。

図 31 は、第 5 実施形態の他の変形例の第 2 工程を示すシリコン基板の断面図である。

図 32 は、第 6 実施形態にかかる縦型半導体装置の断面図である。

図33は、本発明にかかる縦型半導体装置のpn接合部付近における不純物濃度を示す図である。

図34は、米国特許公報5,216,275に開示された高耐圧MOSFETの断面図である。

5 [発明を実施するための最良の形態]

[第1実施形態]

{構造の説明}

図1は、本発明の第1実施形態により製造された縦型半導体装置の断面図である。この縦型半導体装置は、n<sup>-</sup>型半導体領域11とp<sup>-</sup>型半導体領域12との接合が傾斜接合であることを特徴の一つとしている。以下に構造の詳細を説明する。この縦型半導体装置10は、高耐圧のUMOSである。縦型半導体装置10は、例えば、シリコン基板に形成されている。このシリコン基板は、n<sup>+</sup>型のドレイン領域14を含む。ドレイン領域14上には、p<sup>-</sup>型半導体領域12とn<sup>-</sup>型半導体領域11とが交互に並ぶように形成されている。p<sup>-</sup>型半導体領域12及びn<sup>-</sup>型半導体領域11上には、p<sup>-</sup>型シリコン層13が位置している。p<sup>-</sup>型シリコン層13には、第2トレンチ16が形成されている。第2トレンチ16は、n<sup>-</sup>型半導体領域11上に位置している。第2トレンチ16には、ゲート酸化膜18で覆われたゲート電極20が埋め込まれている。p<sup>-</sup>型シリコン層13には、第2トレンチ16と接するようにn<sup>+</sup>型のソース領域24が形成されている。第1トレンチ22は、ゲート電極20中及びn<sup>-</sup>型半導体領域11中を上下方向に延びている。言い換えれば、第1トレンチ22は、ゲート電極20及びn<sup>-</sup>型半導体領域11を二分している。第1トレンチ22は、ドレイン領域14に到達している。第1トレンチ22には、シリコン酸化膜15が埋め込まれている。

25 {製造方法の説明}

次に、縦型半導体装置10の製造方法を説明する。この方法は、気相拡散により、n<sup>-</sup>型半導体領域11を形成しているのが特徴の一つである。以下に詳細に説明する。図2に示すように、n<sup>+</sup>型のドレイン領域14を含むシリコン

基板を準備する。ドレイン領域14の濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。ドレイン領域14上にエピタキシャル成長によりp<sup>-</sup>型シリコン層13を形成する。p<sup>-</sup>型シリコン層13の濃度は、 $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。p<sup>-</sup>型シリコン層13の厚みは、  
5  $\mu\text{m} \sim 100 \mu\text{m}$ である。

フォトリソグラフィとエッチングとにより、p<sup>-</sup>型シリコン層13に第2トレンチ16を形成する。第2トレンチ16の深さd1は、 $0.5 \mu\text{m} \sim 10 \mu\text{m}$ であり、幅w1は、 $0.1 \mu\text{m} \sim 10 \mu\text{m}$ である。熱酸化により、第2トレンチ16の底面及び側面にゲート酸化膜18を形成する。第2トレンチ16がポリ  
10 シリコン層で埋め込まれるように、p<sup>-</sup>型シリコン層13上にポリシリコン層を、CVDにより形成する。p<sup>-</sup>型シリコン層13上のポリシリコン層を全面エッチングし、第2トレンチ16内のポリシリコン層を残す。このポリシリコン層がゲート電極20となる。

図3に示すように、p<sup>-</sup>型シリコン層13上に厚さ $1 \mu\text{m} \sim 5 \mu\text{m}$ のシリコン酸化膜26をCVDにより形成する。フォトリソグラフィとエッチングとにより、シリコン酸化膜26を選択的に除去し、ゲート電極20の一部を露出させる開口部28を形成する。シリコン酸化膜26をマスクとして、異方性エッチングの一例であるRIE (Reactive Ion Etching) に  
15 より、ゲート電極20及びp<sup>-</sup>型シリコン層13を選択的に除去し、ドレイン領域14に到達する第1トレンチ22を形成する。第1トレンチ22の深さd2は、 $1 \mu\text{m} \sim 100 \mu\text{m}$ であり、幅w2は、 $0.1 \mu\text{m} \sim 10 \mu\text{m}$ である。  
20

図4に示すように、n型の不純物を第1トレンチ22の側壁を通してp<sup>-</sup>型シリコン層13に気相拡散し、第1トレンチ22近傍にあるp<sup>-</sup>型シリコン層13にn<sup>-</sup>型半導体領域11を形成する。拡散条件は以下の通りである。

25 拡散源：PH<sub>3</sub>

拡散温度：800℃～900℃

拡散時間：1min～100min

p<sup>-</sup>型シリコン層13のうち、n型不純物が拡散されていない部分はp<sup>-</sup>型



半導体領域 1 2 となる。これにより、 $p^-$ 型シリコン層 1 3 には  $p^-$ 型半導体領域 1 2 と  $n^-$ 型半導体領域 1 1 とが交互に並ぶような構造部が形成される。

図 5 に示すように、ウェットエッチングまたはドライエッチングによりシリコン酸化膜 2 6 を除去する。第 1 トレンチ 2 2 が絶縁膜、例えばシリコン酸化膜で埋め込まれるように、 $p^-$ 型シリコン層 1 3 上にシリコン酸化膜を CVD により形成する。 $p^-$ 型シリコン層 1 3 上のシリコン酸化膜を全面エッチングし、第 1 トレンチ 2 2 内のシリコン酸化膜（以下このシリコン酸化膜をシリコン酸化膜 1 5 とする）を残す。

図 1 に示すように、レジストをマスクとして  $p^-$ 型シリコン層 1 3 にヒ素をイオン注入し、ソース領域 2 4 を形成する。以上により、縦型半導体装置 1 0 が完成する。

#### {効果の説明}

第 1 実施形態において、図 4 に示すように、第 1 トレンチ 2 2 の側壁から  $p^-$ 型シリコン層 1 3（図 3）に  $n$ 型の不純物を拡散することにより、 $n^-$ 型半導体領域 1 1 を形成している。このため、縦型半導体装置 1 0 において、 $n^-$ 型半導体領域 1 1 と  $p^-$ 型半導体領域 1 2 との接合が傾斜接合になっている。以下、これを詳細に説明する。

図 1 に示すように、 $n^-$ 型半導体領域 1 1 と  $p^-$ 型半導体領域 1 2 が交互に並ぶ方向（矢印 A）に沿って、 $n$ 型不純物分布が傾斜している。そして、 $n^-$ 型半導体領域 1 1 と  $p^-$ 型半導体領域 1 2 との  $p-n$ 接合部 1 から第 1 トレンチ 2 2 に向かうに従い、 $n$ 型不純物分布が増加している。これを図で表したのが図 3 3 である。図 3 3 は、縦型半導体装置 1 0 の  $p-n$ 接合部 1 付近における不純物濃度を示す図である。 $n^-$ 型半導体領域 1 1 において、 $n$ 型不純物は、 $p-n$ 接合部 1 付近で比較的少なく、第 1 トレンチ 2 2 付近で比較的多い。一方、 $p^-$ 型半導体領域 1 2 はエピタキシャル成長により形成されているので、 $p^-$ 型半導体領域 1 2 において、 $p$ 型不純物は、ほぼ一定に分布している。よって、 $n^-$ 型半導体領域 1 1 と  $p^-$ 型半導体領域 1 2 とは、片側階段接合となっている。

この傾斜接合による効果を説明する。縦型半導体装置 10 によれば、 $n^-$ 型半導体領域 11 において、 $n$ 型の不純物分布が傾斜しているので、 $n$ 型の不純物濃度が低い所では、空乏層を広く延ばすことができる。このため、 $n^-$ 型半導体領域 11 および  $p^-$ 型半導体領域 12 が比較的幅が広くても、これらの領域を容易に空乏化できるので、高耐圧化を実現できる。

また、接合部に電圧が印加されている時、電界強度が最大の所は、一般に、接合部である。そして、同じ印加電圧ならば、不純物濃度が低いほど電界強度は低くなるので、接合破壊電圧は高くなる。第 1 実施形態によれば、 $p-n$ 接合部 1 付近において  $n$ 型の不純物濃度の分布が低いので、 $p-n$ 接合部 1 の接合破壊電圧を高くすることができる。

次に、第 1 実施形態の方法による効果を説明する。図 4 に示すように、 $p^-$ 型半導体領域 12 となる  $p^-$ 型シリコン層 13 を形成し、 $p^-$ 型シリコン層 13 に形成された第 1 トレンチ 22 の側壁から  $p^-$ 型シリコン層 13 に  $n$ 型の不純物を拡散することにより、 $n^-$ 型半導体領域 11 を形成している。すなわち、第 1 トレンチ 22 にエピタキシャル成長により埋め込みをすることなく、 $n^-$ 型半導体領域 11 を形成している。このため、縦型半導体装置 10 の集積度を向上させることができる。

以上説明した効果は、他の実施形態にも当てはまる。

また、図 1 に示すように、第 1 実施形態による縦型半導体装置 10 は、 $n^-$ 型半導体領域 11 上に第 2 トレンチ 16 が形成され、 $n^-$ 型半導体領域 11 中の第 1 トレンチ 22 は、第 2 トレンチ 16 直下に位置している。よって、第 1 トレンチ 22 を第 2 トレンチ 16 と平面的にずれた位置に形成している構造に比べて、縦型半導体装置 10 の集積度を向上させることができる。

#### [第 2 実施形態]

本発明の第 2 実施形態にかかる縦型半導体装置の製造方法を説明する。第 1 実施形態との違いは、固相拡散により、 $n^-$ 型半導体領域 11 を形成している点である。以下、に詳細に説明する。図 2 及び図 3 に示す工程後、図 6 に示すように、第 1 トレンチ 22 が PSG 膜で埋め込まれるように、 $p^-$ 型シリコン

層 1 3 上に P S G 膜 3 0 を C V D により形成する。P S G 膜 3 0 には、n 型の不純物、例えば、T M P ( T R I M E T H Y L P H O S P H I T E ) が含まれている。

図 7 に示すように、P S G 膜 3 0 中の n 型の不純物を、第 1 トレンチ 2 2 の側壁を通して p<sup>-</sup>型シリコン層 1 3 に固相拡散し、第 1 トレンチ 2 2 近傍にある p<sup>-</sup>型シリコン層 1 3 に n<sup>-</sup>型半導体領域 1 1 を形成する。拡散条件は以下の通りである。

拡散源 : P S G

拡散温度 : 9 0 0 ° C ~ 1 1 0 0 ° C

拡散時間 : 1 m i n ~ 3 0 0 m i n

p<sup>-</sup>型シリコン層 1 3 のうち、n 型不純物が拡散されていない部分は p<sup>-</sup>型半導体領域 1 2 となる。これにより、p<sup>-</sup>型シリコン層 1 3 には、p<sup>-</sup>型半導体領域 1 2 と n<sup>-</sup>型半導体領域 1 1 とが交互に並ぶような構造部が形成される。この後、第 1 実施形態と同様の方法を用いて、ソース領域 2 4 を形成する。以上により、図 8 に示す縦型半導体装置 1 0 が完成する。

図 7 に示すように、第 2 実施形態によれば、p<sup>-</sup>型半導体領域 1 2 となる p<sup>-</sup>型シリコン層 1 3 を形成し、p<sup>-</sup>型シリコン層 1 3 に形成された第 1 トレンチ 2 2 の側壁から、p<sup>-</sup>型シリコン層 1 3 に n 型の不純物を固相拡散することにより、n<sup>-</sup>型半導体領域 1 1 を形成している。すなわち、第 1 トレンチ 2 2 にエピタキシャル成長により埋め込みをすることなく、n<sup>-</sup>型半導体領域 1 1 を形成している。このため、縦型半導体装置 1 0 の集積度を向上させることができる。

### [第 3 実施形態]

#### {構造の説明}

図 9 は、本発明の第 3 実施形態にかかる縦型半導体装置の断面図である。この縦型半導体装置 4 0 は、第 1 トレンチ 5 2 が第 2 トレンチ 4 6 直下に位置していることを特徴の一つとしている。以下、構造の詳細を説明する。縦型半導体装置 4 0 は、高耐圧の V M O S である。縦型半導体装置 4 0 は、シリコン基

板に形成されている。このシリコン基板は、 $n^+$ 型のドレイン領域44を含む。ドレイン領域44上には、 $p^-$ 型半導体領域42と $n^-$ 型半導体領域41とが交互に並ぶように形成されている。 $p^-$ 型半導体領域42及び $n^-$ 型半導体領域41上には、 $p^-$ 型シリコン層43が位置している。 $p^-$ 型シリコン層43には、第2トレンチ46が形成されている。第2トレンチ46の側面は、すり鉢状をしている。すなわち、第2トレンチ46は、その底部に向かうに従ってその幅が小さくなる形状をしている。第2トレンチ46と連続するように第1トレンチ52がある。第1トレンチ52は、 $n^-$ 型半導体領域41中を上下方向に延びている。言い換えれば、第1トレンチ52により、 $n^-$ 型半導体領域41は二分されている。第1トレンチ52には、薄いシリコン酸化膜53で覆われたPSG膜55が埋め込まれている。第2トレンチ46の側面上には、ゲート酸化膜48が形成されている。ゲート酸化膜48上には、ゲート電極50が形成され、第2トレンチ46はゲート電極50で埋め込まれている。 $p^-$ 型シリコン層43には、第2トレンチ46と接するように $n^+$ 型のソース領域54が形成されている。

#### {製造方法の説明}

次に、縦型半導体装置40の製造方法を説明する。図10に示すように、 $n^+$ 型のドレイン領域44を含むシリコン基板を準備する。ドレイン領域44の濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。ドレイン領域44上にエピタキシャル成長により、 $p^-$ 型シリコン層43を形成する。 $p^-$ 型シリコン層43の濃度は、 $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。 $p^-$ 型シリコン層43の厚みは、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。

シリコン酸化膜をマスクとして、 $p^-$ 型シリコン層43を等方性エッチングすることにより、 $p^-$ 型シリコン層43に第2トレンチ46を形成する。第2トレンチ46の深さd3は、 $0.5 \mu\text{m} \sim 10 \mu\text{m}$ である。同じマスクを用いて、 $p^-$ 型シリコン層43を異方性エッチングすることにより、 $p^-$ 型シリコン層43に第1トレンチ52を形成する。第1トレンチ52の深さd4は、 $1 \mu\text{m} \sim 100 \mu\text{m}$ である。第1トレンチ52の幅w4は、 $0.1 \mu\text{m} \sim 10 \mu\text{m}$ であ

る。熱酸化により、第2トレンチ46の側面上及び第1トレンチ52の側面上にシリコン酸化膜を形成する。第2トレンチ46の側面上のシリコン酸化膜がゲート酸化膜48となる。第1トレンチ52の側面上のシリコン酸化膜がシリコン酸化膜53である。

5       例えば、CVDにより、PSG膜55がp<sup>-</sup>型シリコン層43を覆うように形成する。PSG膜55に、例えば、800℃～900℃の温度条件下で、10min～300minのアニール処理をする。これにより、図12に示すように、PSG膜55はリフローされ、第1トレンチ52内に埋め込まれる。このとき、シリコン酸化膜53が拡散バリアとして働くので、p<sup>-</sup>型シリコン層  
10   43にn型不純物が拡散するのを防ぐことができる。

図13に示すように、PSG膜55中におけるn型の不純物を、第1トレンチ52の側壁を通して、p<sup>-</sup>型シリコン層43に固相拡散し、第1トレンチ52近傍にあるp<sup>-</sup>型シリコン層43にn<sup>-</sup>型半導体領域41を形成する。拡散条件は、以下の通りである。

15       拡散源：PSG

      拡散温度：900℃～1100℃

      拡散時間：1min～300min

p<sup>-</sup>型シリコン層43のうち、n型不純物が拡散されていない部分は、p<sup>-</sup>型半導体領域42となる。これにより、p<sup>-</sup>型シリコン層43には、p<sup>-</sup>型半  
20   導体領域42とn<sup>-</sup>型半導体領域41とが交互に並ぶような構造部が形成される。

図14に示すように、第2トレンチ46が埋まるように、CVDにより、ポリシリコン膜を形成する。このポリシリコン膜をパターンニングし、ゲート電極50を形成する。レジストをマスクとして、p<sup>-</sup>型シリコン層43にn型の  
25   不純物、例えば、リンをイオン注入し、図9に示すように、ソース領域54を形成する。以上により、縦型半導体装置40が完成する。

{効果の説明}

図13に示すように、第3実施形態によれば、第1トレンチ52の側壁から

p<sup>-</sup>型シリコン層43に、PSG膜55中におけるn型の不純物を固相拡散することにより、n<sup>-</sup>型半導体領域41を形成している。このため、第1トレンチ52にエピタキシャル成長により埋め込みをすることなく、n<sup>-</sup>型半導体領域41を形成することができる。これにより、縦型半導体装置40の集積度を向上させることができる。

#### [第4実施形態]

##### {構造の説明}

図15は、本発明の第4実施形態にかかる縦型半導体装置の断面図である。

この縦型半導体装置60は、埋め込み電極層70が、n<sup>-</sup>型半導体領域61にある第1トレンチ66bに配置されていることを特徴の一つとしている。以下、構造の詳細を説明する。縦型半導体装置60は、n<sup>+</sup>型のドレイン領域64、ボディ領域となるp型シリコン層63、n<sup>+</sup>型のソース領域74およびゲート電極を含む埋め込み電極層70を備える。

n<sup>+</sup>型のドレイン領域64は、シリコン基板に形成されている。ドレイン領域64上には、p<sup>-</sup>型半導体領域62とn<sup>-</sup>型半導体領域61とが交互に並ぶ構造部が位置している。この構造部の上には、p型シリコン層63が位置している。複数のトレンチ66は、p型シリコン層63およびn<sup>-</sup>型半導体領域61を貫通し、ドレイン領域64に到達するように形成されている。トレンチ66は、第1トレンチ66bと、これと連続する第2トレンチ66aと、からなる。第1トレンチ66bは、n<sup>-</sup>型半導体領域61にある。第2トレンチ66aは、p型シリコン層63にある。

埋め込み電極層70は、トレンチ66に形成されている。埋め込み電極層70を覆うように、トレンチ66の側壁上および底面上には、シリコン酸化膜73が形成されている。シリコン酸化膜73は、ゲート絶縁膜として機能する。n<sup>+</sup>型のソース領域74は、トレンチ66の周囲であって、かつ、p型シリコン層63に形成されている。

##### {製造方法の説明}

次に、図15～図18を用いて、縦型半導体装置60の製造方法を説明する。

図16に示すように、 $n^+$ 型のドレイン領域64を含むシリコン基板を準備する。ドレイン領域64の濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。ドレイン領域64上にエピタキシャル成長により、 $p^-$ 型シリコン層65を形成する。 $p^-$ 型シリコン層65の濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$ である。 $p^-$ 型シリコン層65の厚みは、 $5 \mu\text{m} \sim 40 \mu\text{m}$ である。

$p^-$ 型シリコン層65上にエピタキシャル成長により、 $p$ 型シリコン層63を形成する。 $p$ 型シリコン層63の濃度は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ である。 $p$ 型シリコン層63の厚みは、 $1 \mu\text{m} \sim 5 \mu\text{m}$ である。次に、レジスト（図示せず）をマスクとして、 $p$ 型シリコン層63にリンをイオン注入して、ソース領域74を、 $p$ 型シリコン層63の表面に選択的に形成する。

図17に示すように、 $p$ 型シリコン層63上にシリコン酸化膜75を形成する。シリコン酸化膜75に所定のパターンニングをする。これをマスクとして、 $p$ 型シリコン層63および $p^-$ 型シリコン層65を異方性エッチングすることにより、トレンチ66を形成する。トレンチ66の幅は、 $1 \mu\text{m} \sim 5 \mu\text{m}$ である。そして、シリコン酸化膜75を除去する。

図18に示すように、トレンチ66の側壁上および底面上に、例えば、熱酸化により、シリコン酸化膜79を形成する。シリコン酸化膜79は、 $n^-$ 型半導体領域61を形成するときの拡散の制御性を高めるために形成される。シリコン酸化膜79の厚みは、この機能を考慮して決定され、例えば、 $5 \text{ nm} \sim 50 \text{ nm}$ である。

次に、ドーパドポリシリコン膜77を、トレンチ66がそれで埋まるように、 $p$ 型シリコン層63上に形成する。ドーパドポリシリコン膜77は、 $n^-$ 型半導体領域61を形成するときの拡散源となる。ドーパドポリシリコン膜77には、 $n$ 型不純物がドーパされている。 $n$ 型不純物は、例えば、リンである。ドーパドポリシリコン膜77中の $n$ 型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。これらは、 $n^-$ 型半導体領域61を形成するとき

の拡散を考慮して決定される。ドーブドポリシリコン膜 77 の代わりに、PSG 膜を拡散源として用いることもできる。

次に、ドーブドポリシリコン膜 77 中における n 型不純物を、トレンチ 66 b の側壁を通して、p<sup>-</sup>型シリコン層 65 (図 17) に固相拡散し、トレンチ 66 b 近傍にある p<sup>-</sup>型シリコン層 65 に、n<sup>-</sup>型半導体領域 61 を形成する。拡散条件は、以下の通りである。

拡散温度：900℃～1000℃

拡散時間：10min～60min

p<sup>-</sup>型シリコン層 65 のうち、n 型不純物が拡散されていない部分は、p<sup>-</sup>型半導体領域 62 となる。これにより、p<sup>-</sup>型シリコン層 65 には、p<sup>-</sup>型半導体領域 62 と n<sup>-</sup>型半導体領域 61 とが交互に並ぶような構造部が形成される。なお、p 型シリコン層 63 にも n 型不純物が拡散されるが、p 型シリコン層 63 が比較的濃度が高いので、p 型シリコン層 63 には n<sup>-</sup>型半導体領域が形成されない。

次に、トレンチ 66 内にある、ドーブドポリシリコン膜 77 およびシリコン酸化膜 79 を除去する。ドーブドポリシリコン膜 77 の除去には、例えば、濃度 22%、温度 80℃の TMAH [(CH<sub>3</sub>)<sub>4</sub>NOH] 溶液が用いられる。シリコン酸化膜 79 の除去には、例えば、濃度 10%、温度 23℃の HF 溶液が用いられる。

次に、図 15 に示すように、熱酸化を用いて、トレンチ 66 の側壁上にゲート酸化膜となるシリコン酸化膜 73 を形成する。埋め込み電極層 70 となるポリシリコン膜を、トレンチ 66 がそれで埋まるように、p 型シリコン層 63 上に形成する。そして、p 型シリコン層 63 上のポリシリコン膜をエッチバックにより除去し、トレンチ 66 内に埋め込み電極層 70 を形成する。以上により、縦型半導体装置 60 が完成する。

#### {効果の説明}

図 15 に示すように、埋め込み電極層 70 により、第 1 トレンチ 66 b 付近の n<sup>-</sup>型半導体領域 61 に蓄積層を形成することが可能となる。そして、第 1



実施形態の{効果の説明}で述べたように、傾斜接合により、 $n^-$ 型半導体領域61において、第1トレンチ66b付近では、 $n$ 型の不純物濃度が比較的高い。これらにより、縦型半導体装置60によれば、ON電圧をさらに下げることができる。また、OFF時においては、素速く電流を遮断することが可能となる。

#### [第5実施形態]

##### {構造の説明}

図19は、本発明の第5実施形態にかかる縦型半導体装置の断面図である。この縦型半導体装置80は、第1トレンチ86bがドレイン領域84の表面の一部を削るように、ドレイン領域84に到達していることを特徴の一つとしている。以下、構造の詳細を説明する。縦型半導体装置80は、 $n^+$ 型のドレイン領域84、ボディ領域となる $p$ 型シリコン層83、 $n^+$ 型のソース領域94および埋め込みゲート電極90を備える。

$n^+$ 型のドレイン領域84は、シリコン基板に形成されている。ドレイン領域84上には、 $n^-$ 型半導体領域81と $p^-$ 型半導体領域82とが交互に並ぶ構造部が位置している。この構造部の上には、 $p$ 型シリコン層83が位置している。

複数の第1トレンチ86bは、 $n^-$ 型半導体領域81を貫通し、ドレイン領域84に到達するように形成されている。第2トレンチ86aは、 $p$ 型シリコン層83に形成され、 $n^-$ 型半導体領域81上に位置している。

埋め込みシリコン酸化膜96は、第1トレンチ86bに埋め込まれ、その一部が第2トレンチ86aの中央に位置している。埋め込みゲート電極90は、第2トレンチ86aに形成され、埋め込みシリコン酸化膜96の周囲に位置している。埋め込みゲート電極90と第2トレンチ86aの側壁との間に、ゲート酸化膜93が形成されている。

$n^+$ 型のソース領域94は、第2トレンチ86aの周囲であって、かつ、 $p$ 型シリコン層83に形成されている。埋め込みゲート電極90を覆うように、 $p$ 型シリコン層83上には、層間絶縁膜であるシリコン酸化膜89が位置して

いる。シリコン酸化膜 8 9 上には、アルミ電極 9 2 が位置している。シリコン酸化膜 8 9 には、コンタクトホールが形成されている。コンタクトホールを介して、アルミ電極 9 2 は、 $n^+$ 型のソース領域 9 4 および p 型シリコン層 8 3 に接続されている。

5            {製造方法の説明}

次に、図 1 9 ~ 図 2 7 を用いて、縦型半導体装置 8 0 の製造方法を説明する。なお、不純物濃度、拡散時間等の具体的数値については、これまで説明した他の実施形態の具体的数値を応用できるので、省略する。

10            図 2 0 に示すように、 $n^+$ 型のドレイン領域 8 4 を含むシリコン基板を準備する。ドレイン領域 8 4 上にエピタキシャル成長により、 $p^-$ 型シリコン層 8 5 を形成する。 $p^-$ 型シリコン層 8 5 上にシリコン酸化膜 8 7 を形成する。シリコン酸化膜 8 7 に所定のパターンニングをする。これをマスクとして、 $p^-$ 型シリコン層 8 5 を異方性エッチングすることにより、第 1 トレンチ 8 6 b を形成する。

15            図 2 1 に示すように、 $n$ 型不純物を、第 1 トレンチ 8 6 b の側壁を通して、 $p^-$ 型シリコン層 8 5 (図 2 0) に気相拡散し、第 1 トレンチ 8 6 b 近傍にある  $p^-$ 型シリコン層 8 5 に、 $n^-$ 型半導体領域 8 1 を形成する。残りの  $p^-$ 型シリコン層 8 5 は、 $p^-$ 型半導体領域 8 2 となる。そして、シリコン酸化膜 8 7 を除去する。

20            図 2 2 に示すように、例えば、CVD 法により、第 1 トレンチ 8 6 b 内に、埋め込みシリコン酸化膜 9 6 を形成する。なお、このシリコン酸化膜形成前に、第 1 トレンチ 8 6 b の側壁および底面に、熱酸化等により、絶縁膜を形成してもよい。

25            図 2 3 に示すように、例えば、イオン注入により、 $p^-$ 型半導体領域 8 2 の上部に p 型シリコン層 8 3 を形成する。

             図 2 4 に示すように、p 型シリコン層 8 3 を覆うように、マスクとなるシリコン酸化膜 9 8 を形成する。シリコン酸化膜 9 8 に所定のパターンニングをする。シリコン酸化膜 9 8 をマスクとして、p 型シリコン層 8 3 および  $p^-$ 型半

導体領域 8 2 を異方性エッチングし、第 2 トレンチ 8 6 a を形成する。第 2 トレンチ 8 6 a は、p 型シリコン層 8 3 を貫通し、p<sup>-</sup>型半導体領域 8 2 に到達している。第 2 トレンチ 8 6 a の中央部には、埋め込みシリコン酸化膜 9 6 が残っている。

- 5      図 2 5 に示すように、例えば、熱酸化により、第 2 トレンチ 8 6 a の側壁にゲート酸化膜 9 3 を形成する。

図 2 6 に示すように、例えば、CVD 法により、第 2 トレンチ 8 6 a にポリシリコン膜を埋め込むことにより、埋め込みゲート電極 9 0 を形成する。

- 10      図 2 7 に示すように、レジスト（図示せず）をマスクとして、p 型シリコン層 8 3 にヒ素をイオン注入して、ソース領域 9 4 を、p 型シリコン層 8 3 の表面に選択的に形成する。そして、例えば、CVD 法により、p 型シリコン層 8 3 を覆うように、シリコン酸化膜 8 9 を形成する。シリコン酸化膜 8 9 に所定のパターンニングをする。そして、図 1 9 に示すように、シリコン酸化膜 8 9 を覆うようにアルミ電極 9 2 を形成する。以上により、縦型半導体装置 8 0 が
- 15      完成する。

#### {変形例の説明}

- 第 5 実施形態には、変形例があり、これについて説明する。図 2 0 で説明した工程後、図 2 8 に示すように、例えば、熱酸化により、第 1 トレンチ 8 6 b の側壁および底面上に、シリコン酸化膜 1 0 0 を形成する。シリコン酸化膜 1
- 20      0 0 は、n<sup>-</sup>型半導体領域 8 1 を形成するときの拡散の制御性を高めるために形成される。

- 図 2 9 に示すように、n 型の不純物をシリコン酸化膜 1 0 0 を通して p<sup>-</sup>型シリコン層 8 5（図 2 8）に気相拡散し、第 1 トレンチ 8 6 b 近傍にある p<sup>-</sup>型シリコン層 8 5 に n<sup>-</sup>型半導体領域 8 1 を形成する。p<sup>-</sup>型シリコン層 8 5
- 25      のうち、n 型不純物が拡散されていない部分は、p<sup>-</sup>型半導体領域 8 2 となる。そして、図 2 2 に説明する工程を行う。それ以後の工程は、同じなので説明を省略する。

また、次の変形例もある。図 2 8 で説明した工程後、図 3 0 に示すように、

ドーパドポリシリコン膜 102 を、第 1 トレンチ 86 b がそれで埋まるように、形成する。ドーパドポリシリコン膜 102 には、n 型不純物がドーパされている。n 型不純物は、例えば、リンである。

図 3 1 に示すように、ドーパドポリシリコン膜 102 中における n 型不純物を、シリコン酸化膜 100 を通して、p<sup>-</sup> 型シリコン層 85 (図 3 0) に固相拡散し、第 1 トレンチ 86 b 近傍にある p<sup>-</sup> 型シリコン層 85 に、n<sup>-</sup> 型半導体領域 81 を形成する。p<sup>-</sup> 型シリコン層 85 のうち、n 型不純物が拡散されていない部分は、p<sup>-</sup> 型半導体領域 82 となる。ドーパドポリシリコン膜 102 およびシリコン酸化膜 100 を除去する。その後、図 2 2 に説明する工程を行う。それ以後の工程は、同じなので説明を省略する。なお、ドーパドポリシリコン膜 102 の代わりに、PSG 膜を拡散源として用いることもできる。PSG 膜は絶縁性を有するので、拡散後、PSG 膜の除去は不要となる。

以上説明した変形例では、拡散の制御性向上のため、第 1 トレンチ 86 b の側壁上にシリコン酸化膜 100 を熱酸化により形成している。仮に、埋め込みゲート電極 90 形成後、この熱酸化をすると、埋め込みゲート電極 90 全体が酸化する可能性がある。埋め込みゲート電極 90 は、高濃度に不純物を含むポリシリコン膜からなるので、非常に酸化されやすいからである。第 5 実施形態では、埋め込みゲート電極 90 を、この熱酸化後に形成しているので、埋め込みゲート電極 90 の酸化を防ぐことができる。

#### [第 6 実施形態]

##### {構造の説明}

図 3 2 は、本発明の第 6 実施形態にかかる縦型半導体装置の断面図である。この縦型半導体装置 110 は、プレーナゲート構造に本発明を適用したものである。以下、構造の詳細を説明する。縦型半導体装置 110 は、n<sup>+</sup> 型のドレイン領域 114、ボディ領域となる p 型シリコン層 113、n<sup>+</sup> 型のソース領域 124 およびゲート電極 120 を備える。

n<sup>+</sup> 型のドレイン領域 114 は、シリコン基板に形成されている。ドレイン領域 114 上には、n<sup>-</sup> 型半導体領域 111 と p<sup>-</sup> 型半導体領域 112 とが交

互に並ぶ構造部が位置している。p<sup>-</sup>型半導体領域 1 1 2 の上には、p 型シリコン層 1 1 3 が位置している。複数のトレンチ 1 1 6 は、n<sup>-</sup>型半導体領域 1 1 1 を貫通し、ドレイン領域 1 1 4 の表面の一部を削るように、ドレイン領域 1 1 4 に到達している

- 5       埋め込みシリコン酸化膜 1 2 6 は、トレンチ 1 1 6 に埋め込まれている。n<sup>+</sup>型のソース領域 1 2 4 は、p 型シリコン層 1 1 3 の表面に選択的に形成されている。p 型シリコン層 1 1 3 上には、ゲート酸化膜 1 2 3 を介してプレーナ型のゲート電極 1 2 0 が形成されている。

{製造方法の説明}

- 10       縦型半導体装置 1 1 0 の製造方法を簡単に説明する。なお、不純物濃度、拡散時間等の具体的数値については、これまで説明した他の実施形態の具体的数値を応用できるので、省略する。

- 15       まず、第 5 実施形態で説明した図 2 0 ~ 図 2 3 の工程を行う。次に、図 3 2 に示すように、p 型シリコン層 1 1 3 の表面上に、ゲート酸化膜 1 2 3 を介してゲート電極 1 2 0 を形成する。これは、p 型シリコン層 1 1 3 の表面上に、熱シリコン酸化膜、ポリシリコン膜を積層し、これをパターンニングすることにより形成できる。

- 20       ゲート電極 1 2 0 をマスクとして、p 型シリコン層 1 1 3 の表面に n 型のイオンを注入することにより、n<sup>+</sup>型のソース領域 1 2 4 を形成する。以上の工程により、縦型半導体装置 1 1 0 が完成する。

- 25       なお、第 1 ~ 第 6 実施形態では、拡散により、n<sup>-</sup>型半導体領域を形成しているが、本発明はこれに限定されず、次の態様でもよい。まず、n<sup>-</sup>型半導体領域となる n<sup>-</sup>型シリコン層を形成する。n<sup>-</sup>型シリコン層に形成されたトレンチの側壁から n<sup>-</sup>型シリコン層に p 型の不純物を拡散することにより、p<sup>-</sup>型半導体領域を形成する。

また、第 1 ~ 第 6 実施形態では、p<sup>-</sup>型半導体領域と n<sup>-</sup>型半導体領域とが交互に並ぶような構造部としている。しかしながら、本発明はこれに限定されず、不純物濃度がこれよりも高くてもよいし、また低くてもよい。

## 請 求 の 範 囲

1. 第1導電型の第1半導体領域と第2導電型の第2半導体領域とが交互に並んだ構造部を有し、

前記構造部により耐圧を保持する縦型半導体装置であって、

5 前記第1半導体領域と前記第2半導体領域とは、傾斜接合し、

前記傾斜接合は、前記交互に並ぶ方向に沿って、第1導電型の不純物分布が傾斜している、縦型半導体装置。

2. 請求項1において、

10 前記傾斜接合は、前記第1半導体領域と前記第2半導体領域との接合部に向かうに従い、第1導電型の不純物分布が減少する、縦型半導体装置。

3. 請求項2において、

トレンチが前記第1半導体領域中に形成され、

前記接合部から前記トレンチに向かうに従い、第1導電型の不純物分布が増加する、縦型半導体装置。

15 4. 請求項3において、

第2導電型の半導体層、他のトレンチおよび埋め込みゲート電極を備え、

前記他のトレンチは、前記半導体層中に位置し、

前記他のトレンチは、前記トレンチ上に位置し、

20 前記埋め込みゲート電極は、前記他のトレンチ内に位置している、縦型半導体装置。

5. 請求項4において、

前記埋め込みゲート電極は、前記トレンチまで延びている、縦型半導体装置。

6. 請求項3において、

前記縦型半導体装置は、プレーナ型ゲート電極を含む、縦型半導体装置。

25 7. 請求項1において、

前記傾斜接合は、片側階段接合を含む、縦型半導体装置。

8. 請求項4において、

前記他のトレンチは、その幅がほぼ一定の形状をしている、縦型半導体装置。

9. 請求項 4 において、

前記他のトレンチは、その底部に向かうに従い、その幅が小さくなる形状をしている、縦型半導体装置。

10. 請求項 1 において、

5     ドレインとなる第 1 導電型の第 3 半導体領域およびソースとなる第 1 導電型の第 4 半導体領域を備え、

前記第 3 半導体領域と前記第 4 半導体領域との間に、前記構造部が位置する、縦型半導体装置。

11. 請求項 3 において、

10     ドレインとなる第 1 導電型の第 3 半導体領域を備え、

前記構造部は、前記第 3 半導体領域上に位置し、

前記トレンチは、前記第 1 半導体領域を貫通し、前記第 3 半導体領域の表面の一部を削るように前記第 3 半導体領域まで到達している、縦型半導体装置。

15     12. 第 1 導電型の第 1 半導体領域と第 2 導電型の第 2 半導体領域とが交互に並んだ構造部を有し、

前記構造部により耐圧を保持する縦型半導体装置の製造方法であって、

(a) 第 2 導電型の半導体層に、トレンチを形成する工程と、

(b) 第 1 導電型の不純物を、前記トレンチの側壁を通して前記半導体層に拡散させ、

20     前記半導体層の一部に前記第 1 半導体領域を形成し、かつ前記半導体層の残りの部分を前記第 2 半導体領域にする工程と、

を備える、縦型半導体装置の製造方法。

13. 請求項 12 において、

前記工程 (a) 前に、

25     ドレインとなる第 1 導電型の第 3 半導体領域上に、前記半導体層を形成する工程を備え、

前記工程 (a) において、

前記トレンチは、前記半導体層を貫通し、前記第 3 半導体領域の表面の一部

を削り、前記第 3 半導体領域まで到達するように形成する、縦型半導体装置の製造方法。

14. 請求項 12 において、

前記工程 (b) において、前記拡散は、気相拡散を含む、縦型半導体装置の製造方法。

15. 請求項 12 において、

前記工程 (a) と前記工程 (b) との間に、

前記トレンチに、前記不純物の含有膜を形成する工程を備え、

前記工程 (b) において、前記含有膜から前記不純物が固相拡散する、縦型半導体装置の製造方法。

16. 請求項 12 において、

前記工程 (a) と前記工程 (b) との間に、

前記トレンチの前記側壁上に、薄膜を形成する工程を備え、

前記工程 (b) において、前記不純物の前記半導体層への拡散は、前記薄膜を介してなされる、縦型半導体装置の製造方法。

17. 請求項 12 において、

前記工程 (b) 後に、

前記半導体層の上面にプレーナゲート電極を形成する工程を備える、縦型半導体装置の製造方法。

18. 請求項 12 において、

前記工程 (b) 後に、

前記半導体層に、他のトレンチを形成する工程と、

前記他のトレンチに、埋め込みゲート電極を形成する工程と、

を備える、縦型半導体装置の製造方法。

19. 請求項 12 において、

前記工程 (a) 前に、

前記半導体層に、他のトレンチを形成する工程と、

前記他のトレンチに、埋め込みゲート電極を形成する工程と、



を備え、

前記工程（a）において、前記埋め込みゲート電極を貫通するように、前記トレンチを形成する、縦型半導体装置の製造方法。

20. 請求項12において、

5 前記工程（a）前に、

前記半導体層に、他のトレンチを形成する工程を備え、

前記他のトレンチは、その底部に向かうに従い、その幅が小さくなる形状をし、

10 前記工程（a）において、前記トレンチの形成は、前記他のトレンチの前記底部から始まる、縦型半導体装置の製造方法。

21. 請求項12において、

前記工程（a）前に、

前記半導体層上に、第2導電型の他の半導体層を形成する工程と、

前記他の半導体層に、他のトレンチを形成する工程と、

15 を備え、

前記工程（a）において、前記トレンチを前記他のトレンチと連続するように形成する、縦型半導体装置の製造方法。

22. 請求項21において、

前記工程（a）と前記工程（b）との間に、

20 前記トレンチの前記側壁上に、薄膜を形成する工程を備え、

前記工程（b）において、前記不純物の前記半導体層への拡散は、前記薄膜を介してなされる、縦型半導体装置の製造方法。

23. 請求項22において、

前記薄膜形成工程後に、

25 前記トレンチおよび前記他のトレンチに、前記不純物の含有膜を形成する工程を備え、

前記工程（b）において、前記含有膜から前記不純物が固相拡散する、縦型半導体装置の製造方法。

24. 請求項22において、

前記工程(b)後に、

前記薄膜を除去する工程と、

前記トレンチの前記側壁上および前記他のトレンチの側壁上に、ゲート絶縁

5 膜を含む他の薄膜を形成する工程と、

前記トレンチ内および前記他のトレンチ内に、ゲート電極を含む埋め込み電極層を形成する工程と、

を備える、縦型半導体装置の製造方法。

25. 請求項23において、

10 前記工程(b)後に、

前記含有膜および前記薄膜を除去する工程と、

前記トレンチの前記側壁上および前記他のトレンチの側壁上に、ゲート絶縁膜を含む他の薄膜を形成する工程と、

15 前記トレンチ内および前記他のトレンチ内に、ゲート電極を含む埋め込み電極層を形成する工程と、

を備える、縦型半導体装置の製造方法。

26. 請求項12において、

前記工程(a)前に、

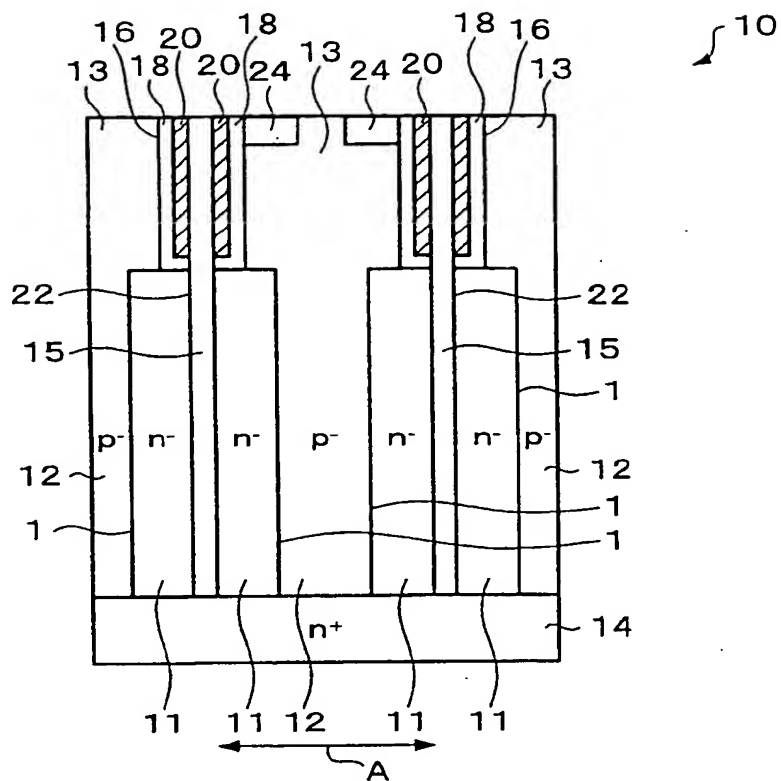
20 ドレインとなる第1導電型の第3半導体領域上に、前記半導体層を形成する工程を備え、

前記工程(b)後に、

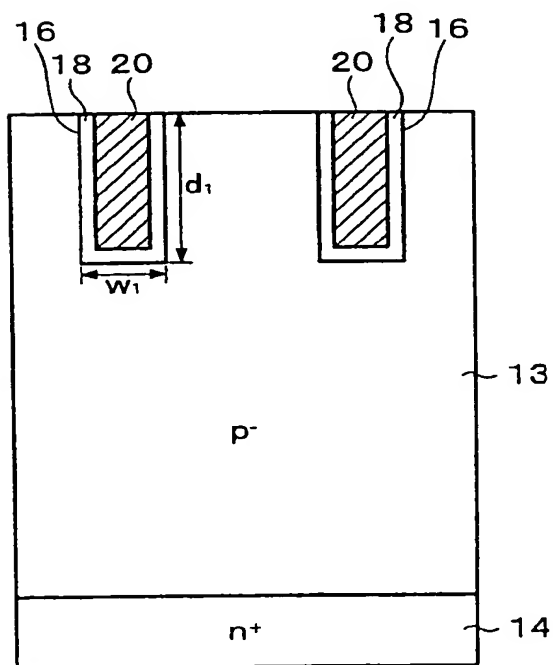
前記半導体層に、ソースとなる第1導電型の第4半導体領域を形成する工程を備える、縦型半導体装置の製造方法。

1 / 17

**FIG. 1**



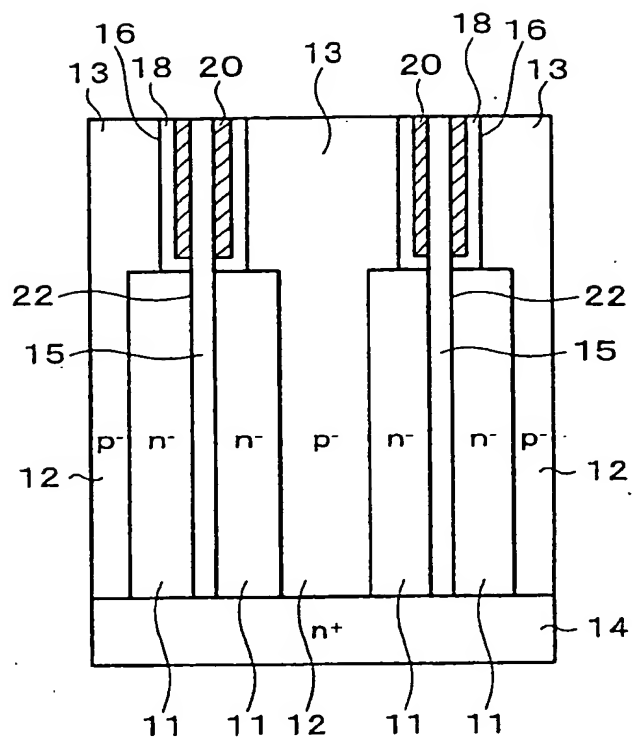
**FIG. 2**



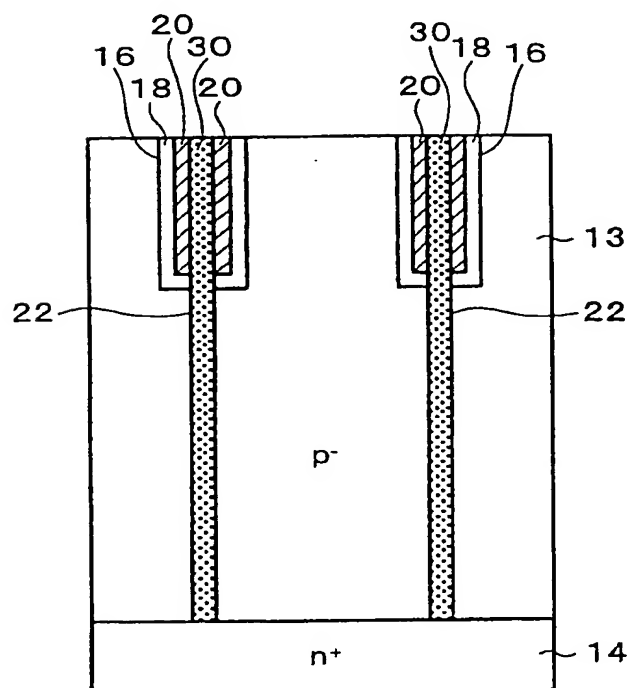


3/17

**FIG. 5**



**FIG. 6**



4/17

FIG. 7

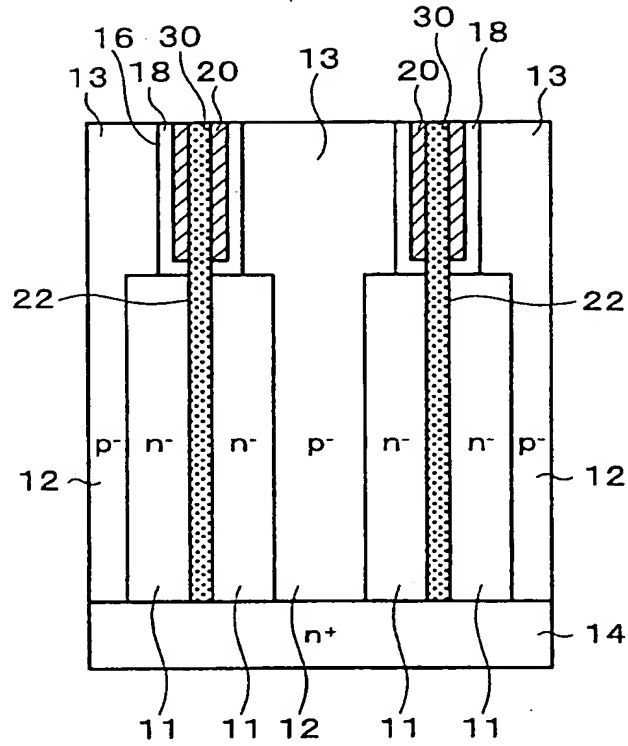
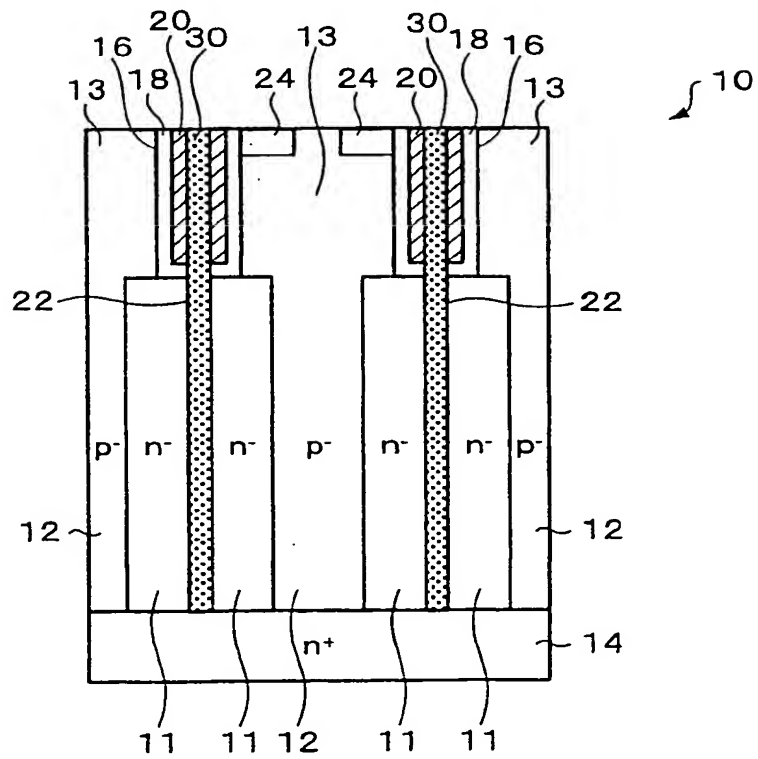
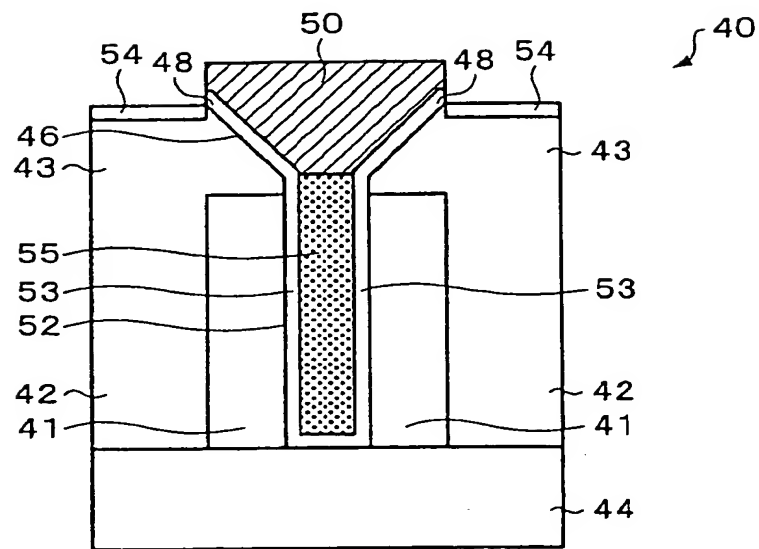


FIG. 8

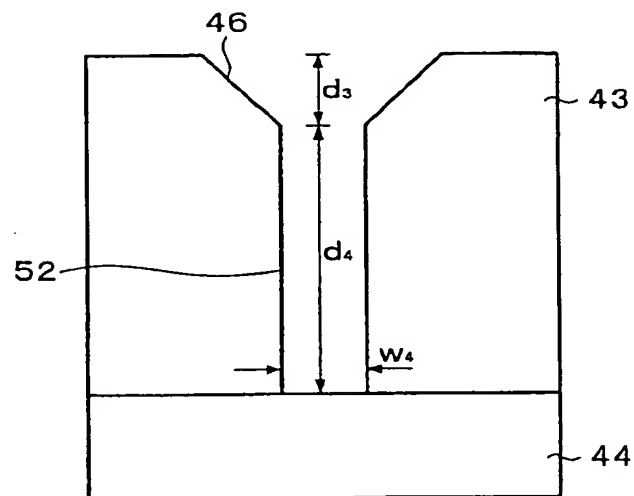


5/17

**FIG. 9**

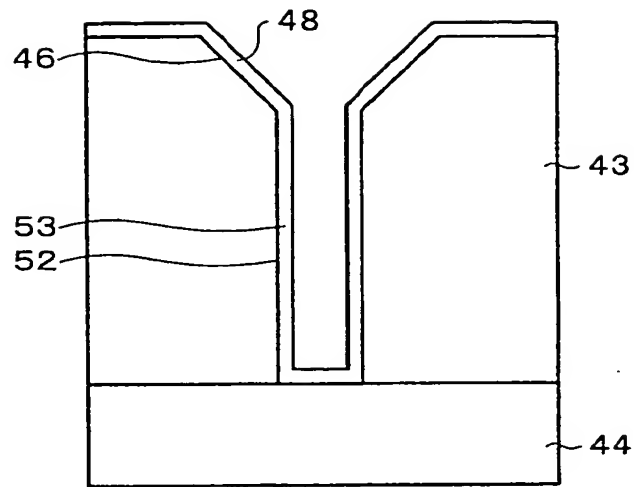


**FIG. 10**

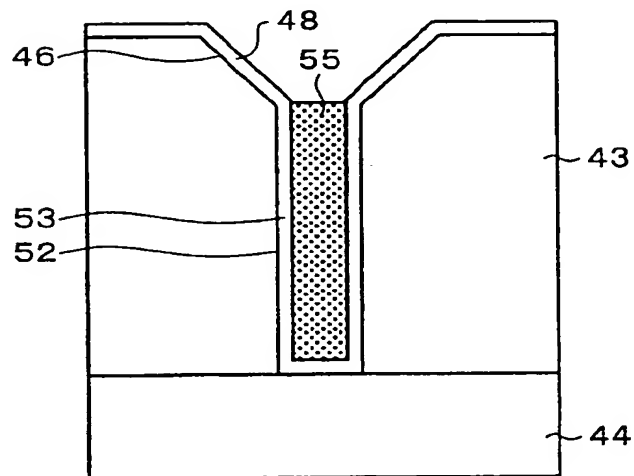


6/17

**FIG. 11**



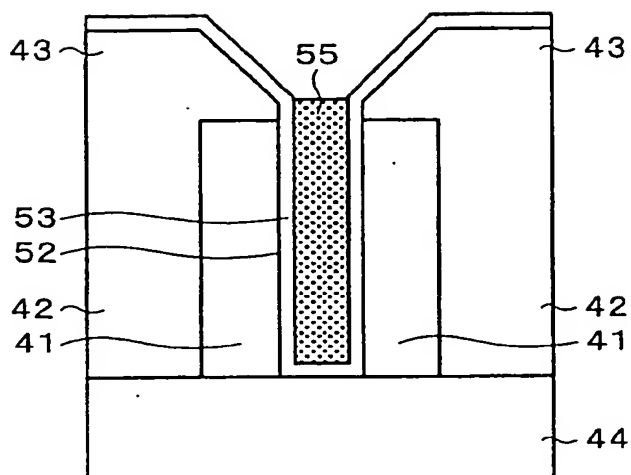
**FIG. 12**



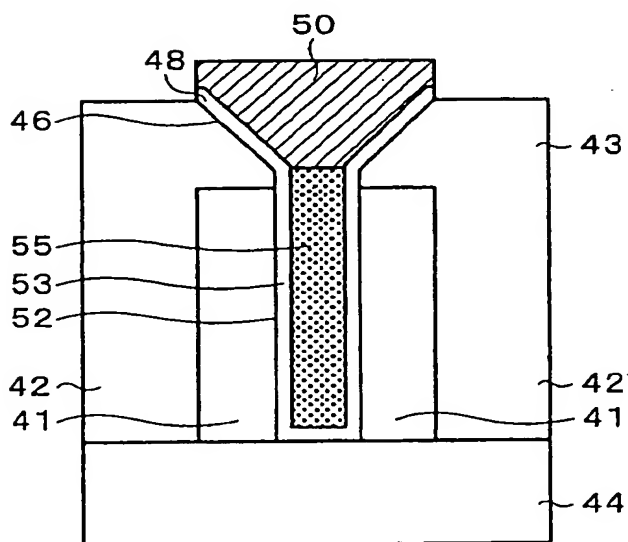


7/17

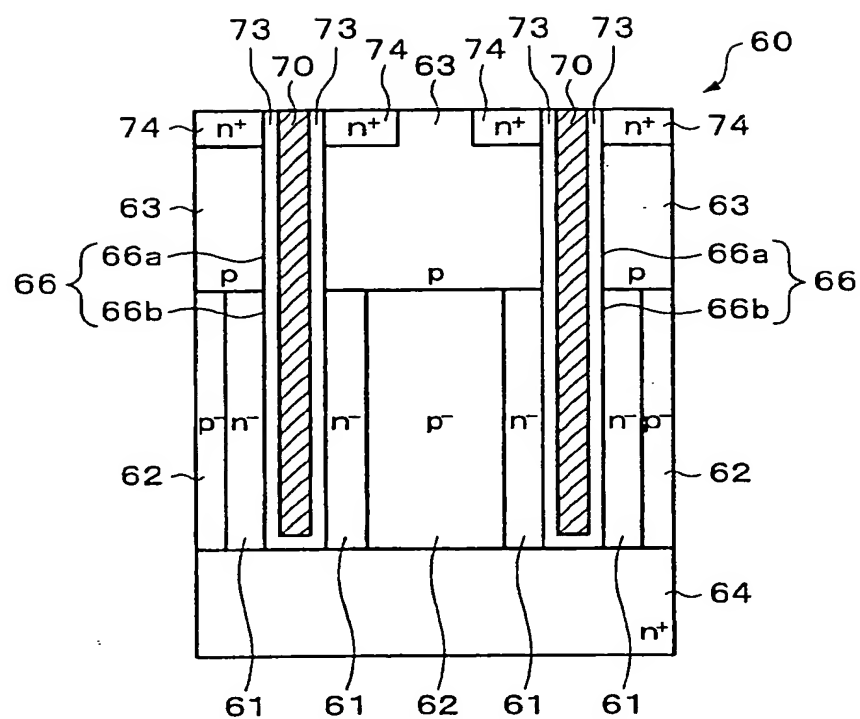
**FIG. 13**



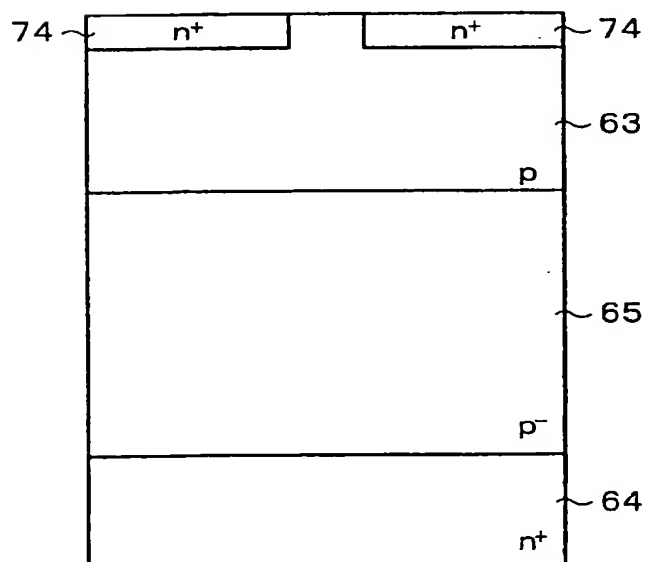
**FIG. 14**



**FIG. 15**

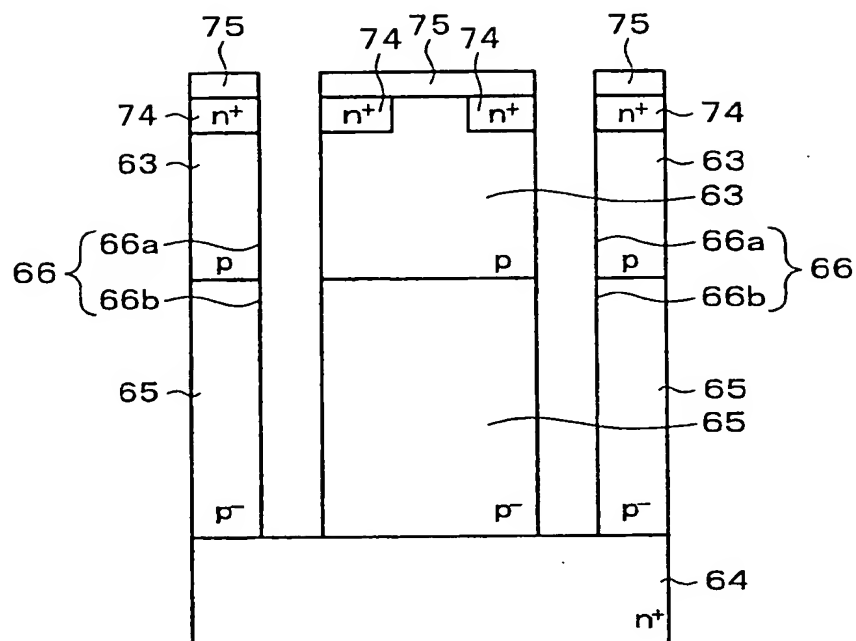


**FIG. 16**

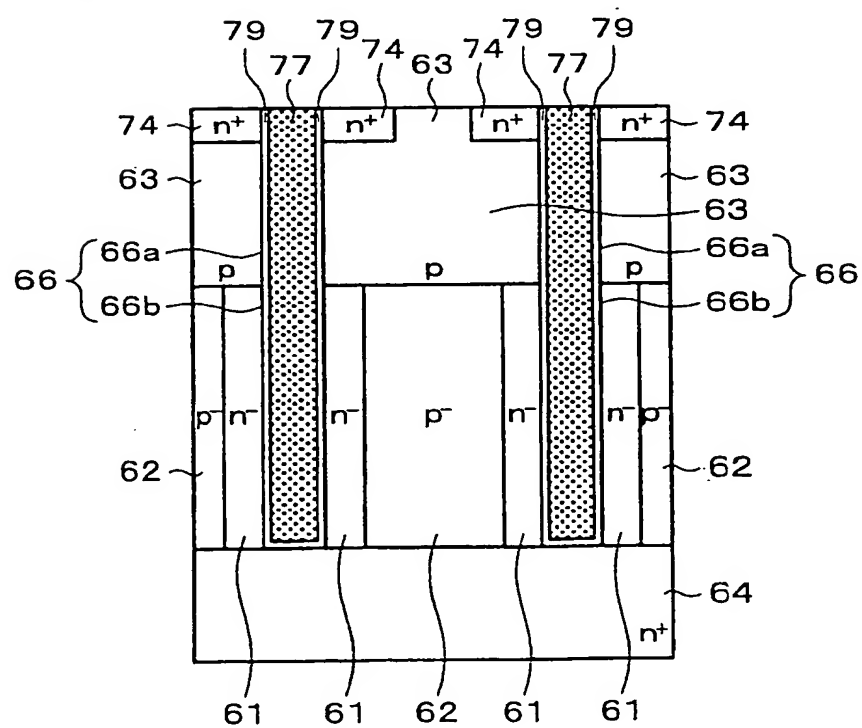


9/17

**FIG. 17**



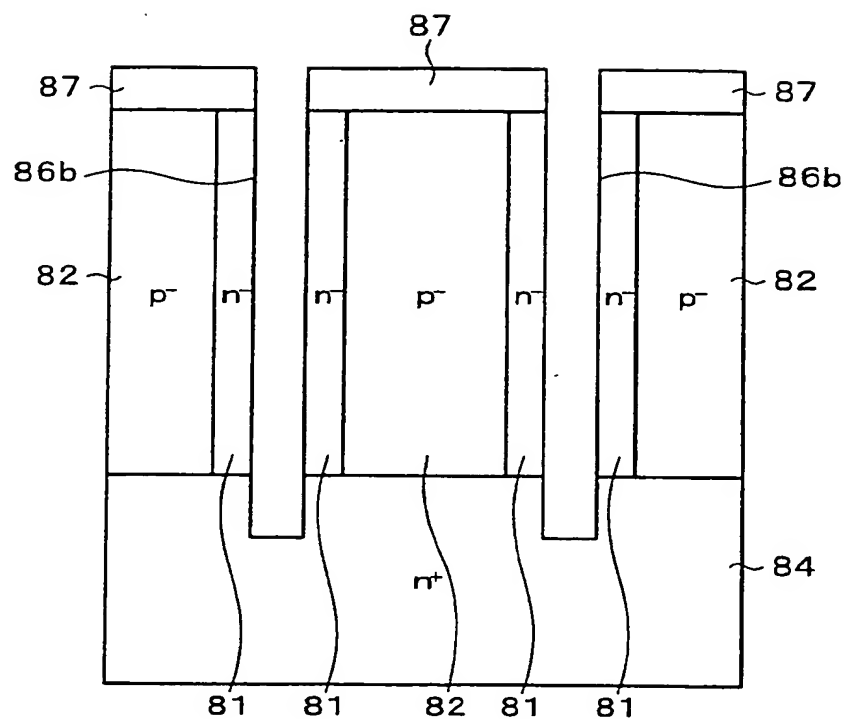
**FIG. 18**



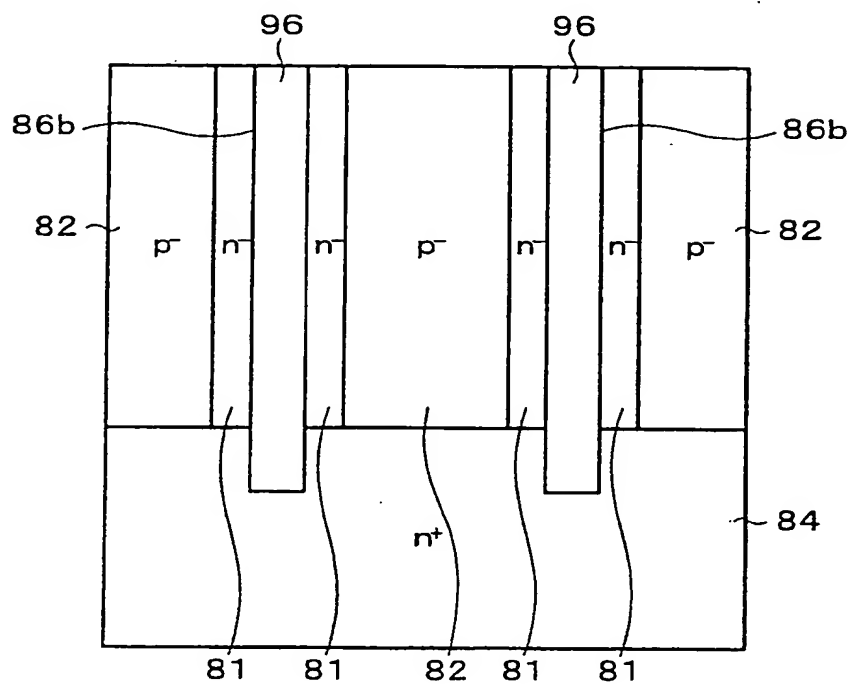


11/17

**FIG. 21**



**FIG. 22**



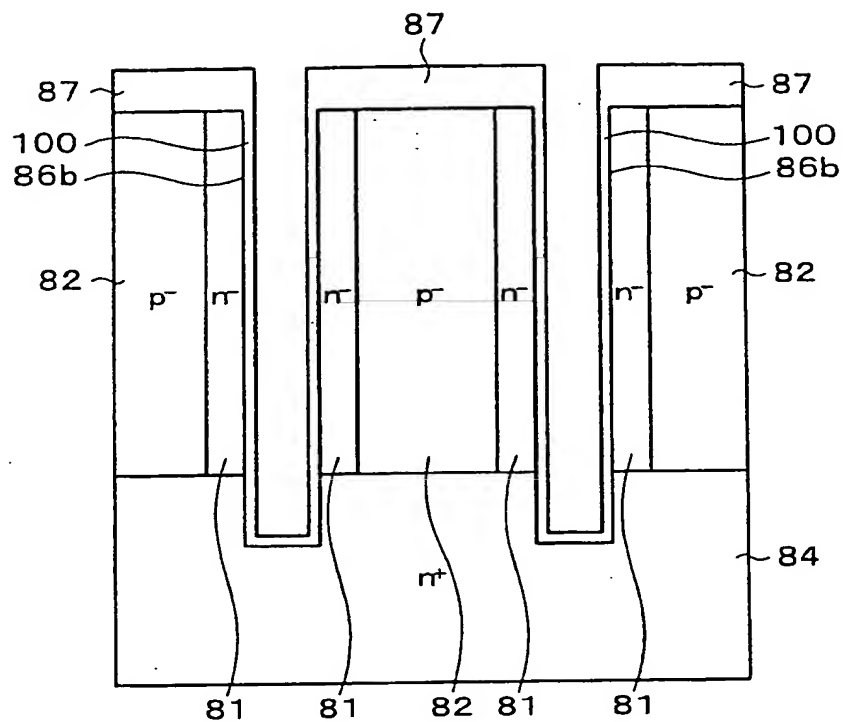
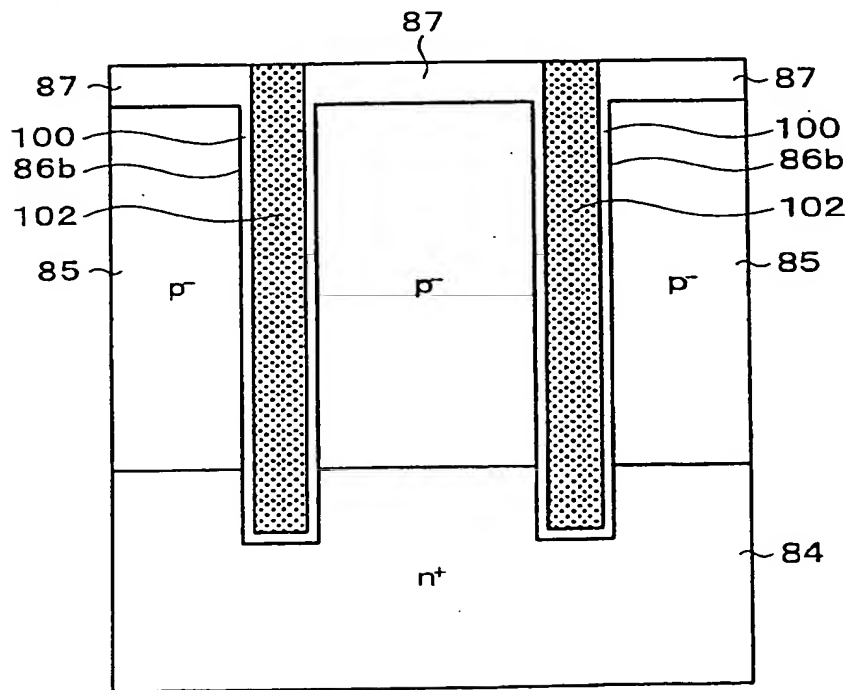






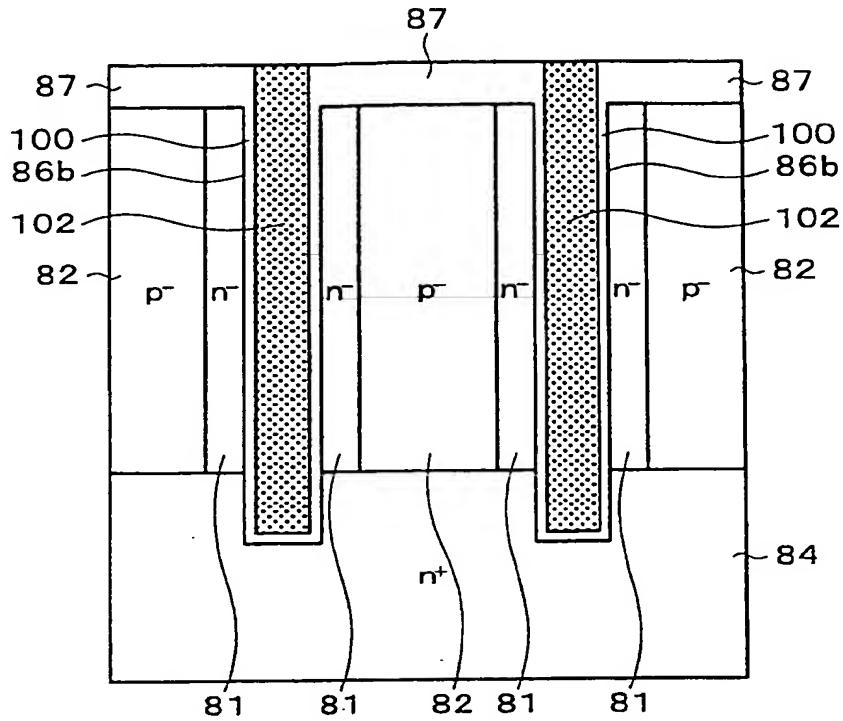


15/17

**FIG. 29****FIG. 30**

16/17

**FIG. 31**



**FIG. 32**

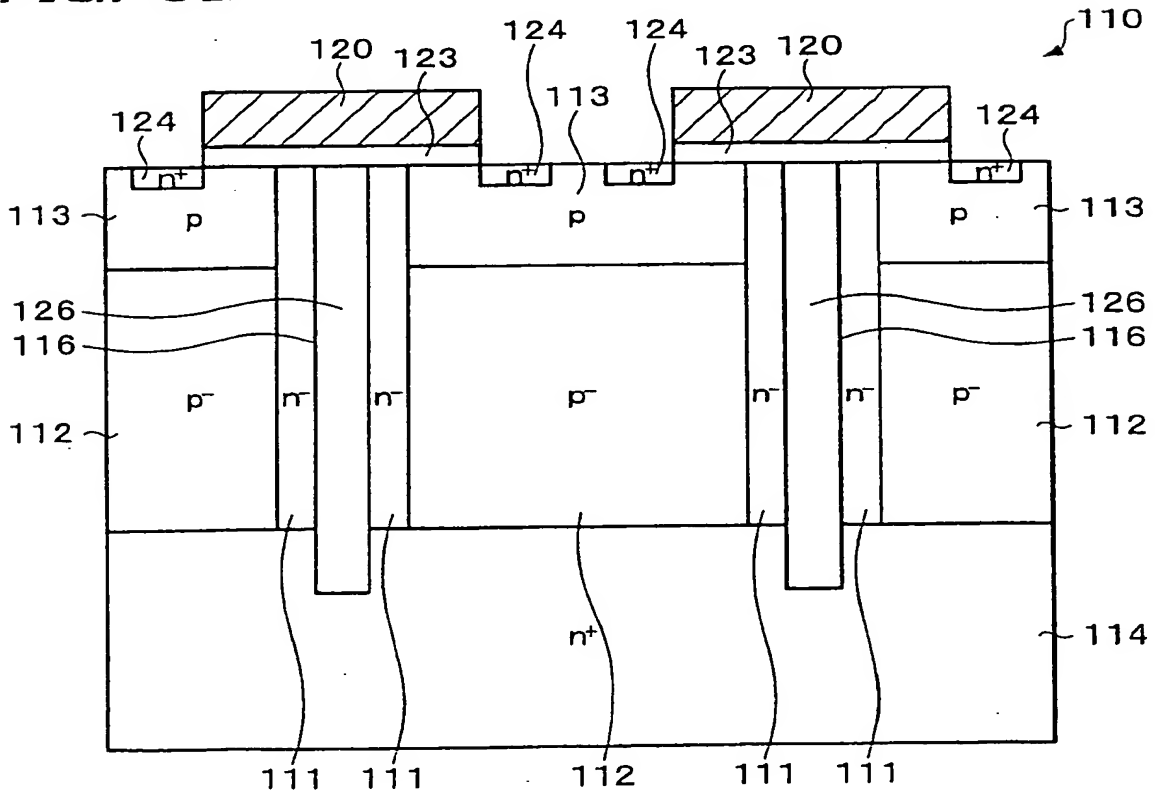


FIG. 33

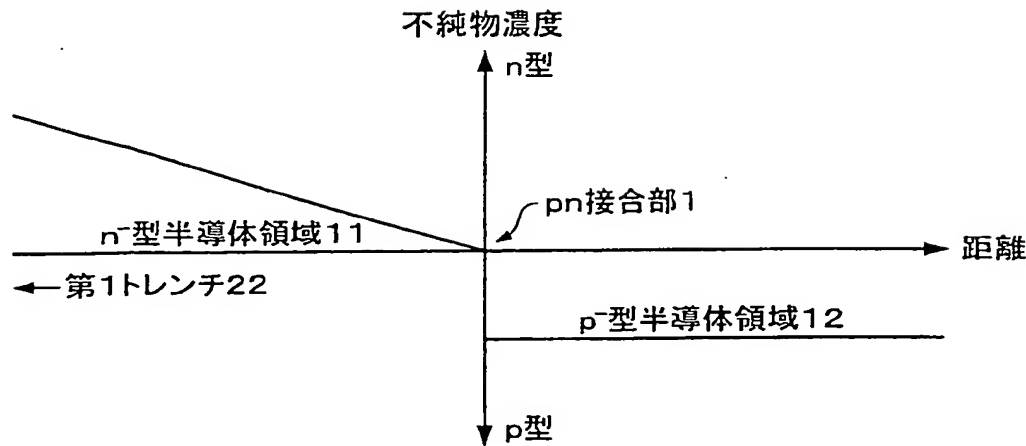
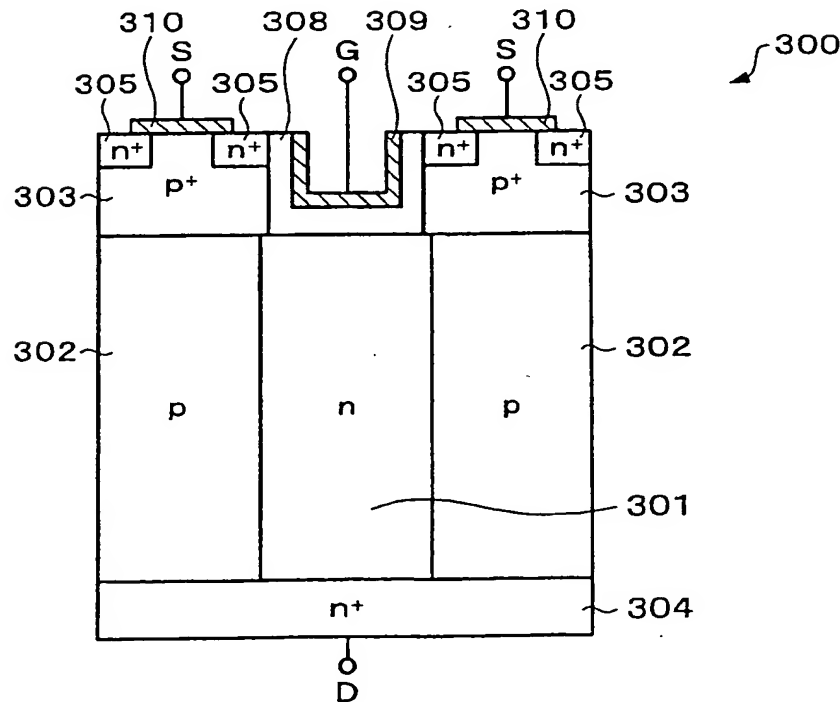


FIG. 34



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04224

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| PX        | JP, 2000-40822, A (Fuji Electric Co., Ltd.),<br>08 February, 2000 (08.02.00),<br>Par. Nos. [0021]-[0025]; Figs. 1 to 3 (Family: none) | 1, 2                  |
| PX        | JP, 2000-133801, A (Toshiba Corporation),<br>12 May, 2000 (12.05.00),<br>Par. No. [0002]; Figs. 1, 2 (Family: none)                   | 1, 2                  |
| EX        | JP, 2000-208527, A (Fuji Electric Co., Ltd.),<br>28 July, 2000 (28.07.00),<br>Par. Nos. [0020]-[0036]; Figs. 1 to 3 (Family: none)    | 1, 2                  |
| A         | JP, 54-108661, U (Victor Company of Japan, Limited),<br>17 January, 1978 (17.01.78),<br>Full text (Family: none)                      | 1-26                  |
| A         | US, 5438215, A (Siemens Aktiengesellschaft),<br>01 August, 1995 (01.08.95),<br>Full text<br>& JP, 7-7154, A & DE, 4309764, A          | 1-26                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
14 September, 2000 (14.09.00)

Date of mailing of the international search report  
26 September, 2000 (26.09.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JPO0/04224

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 H01L29/78, H01L21/336

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

|               |             |
|---------------|-------------|
| 日本国実用新案公報     | 1922年-1996年 |
| 日本国公開実用新案公報   | 1971年-2000年 |
| 日本国登録実用新案登録公報 | 1994年-2000年 |
| 日本国実用新案登録公報   | 1996年-2000年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| PX              | JP, 2000-40822, A (富士電機株式会社) 8. 2<br>月. 2000 (08. 02. 00) 段落番号【0021】-【00<br>25】、図1-3 (ファミリーなし) | 1, 2             |
| PX              | JP, 2000-133801, A (株式会社東芝) 12. 5<br>月. 2000 (12. 05. 00) 段落番号【0002】、図1,<br>2 (ファミリーなし)        | 1, 2             |
| EX              | JP, 2000-208527, A (富士電機株式会社) 28.<br>7月. 2000 (28. 07. 00) 段落番号【0020】-【0                       | 1, 2             |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

14. 09. 00

国際調査報告の発送日

26.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

印

4M

8934

電話番号 03-3581-1101 内線 3462

| C (続き) . 関連すると認められる文献 |   |                  |
|-----------------------|---|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|                       | 036】、図1-3 (ファミリーなし)   |                  |
| A                     | JP, 54-108661, U (日本ビクター株式会社) 17.<br>1月. 1978 (17. 01. 78) 全文 (ファミリーなし)   | 1-26             |
| A                     | US, 5438215, A (Siemens Aktiengesellschaft) 1.<br>8月. 1995 (01. 08. 95) 全文 & JP, 7-715<br>4, A & DE, 4309764, A | 1-26             |